

# 2024년도 반도체 분야 신규지원 대상 연구개발과제 안내문

## ① 화합물전력반도체고도화기술개발 (상용화소자 및 모듈)

(단위: 월, 백만원)

번호	RFP명	과제 성격	개발 기간	'24년 출연금	주관기관	과제 유형	기술료 징수여부	자율성 트랙	특이 사항
1	화합물 전력반도체 소자 및 전력변환장치 모듈 상용화 기술개발 총괄	지정공모	57	200	비영리기관	혁신 제품	비징수	일반	
2	친환경·고효율 에너지 산업용 1200V급 SiC MOSFET 상용화 소자개발	지정공모	33	800	영리기관	혁신 제품	징수	일반	
3	xEV용 1.2kV급 온저항 10mΩ, 20mΩ SiC MOSFET 상용 소자개발	지정공모	33	1,000	영리기관	혁신 제품	징수	일반	
4	고효율 xEV용 1700V급 SiC MOSFET 상용화 소자개발	지정공모	33	600	영리기관	혁신 제품	징수	일반	

## ② 화합물전력반도체고도화기술개발 (소재)

(단위: 월, 백만원)

번호	RFP명	과제 성격	개발 기간	'24년 출연금	주관기관	과제 유형	기술료 징수여부	자율성 트랙	특이 사항
1	고온동작 WBG 파워모듈/패키지용 무가압 고속 sinterable 접합소재	지정공모	45	1,000	중소중견	혁신 제품	징수	일반	국제공동
2	고출력 SiC 파워모듈용 절연-냉각 일체형 고방열 Integrated substrate 소재 기술	지정공모	45	1,080	중소중견	혁신 제품	징수	일반	
3	고도화 가공 기술을 이용한 전력반도체용 고평탄/고청정/대구경 SiC Wafer 기판 제조 기술개발	지정공모	57	850	영리기관	혁신 제품	징수	일반	
4	전기차의 전력변환 장치 적용을 위한 SiC 전력반도체용 계면 결함이 개선된 고품질 6인치 & 8인치 Multi Epi 성장 기술개발	지정공모	57	1,570	영리기관	혁신 제품	징수	일반	국제공동

## ③ 화합물전력반도체고도화기술개발 (파워IC)

(단위: 월, 백만원)

번호	RFP명	과제 성격	개발 기간	'24년 출연금	주관기관	과제 유형	기술료 징수여부	자율성 트랙	특이 사항
1	디지털 정밀설정 가능한 강화절연급 고신뢰성 통합형 파워 IC 기술 개발	지정공모	45	1,280	중소중견	혁신 제품	징수	일반	
2	SiC 시스템용 부동전원 DC/DC컨버터 내장 저전력/절연형 단일칩 센스 애플 기술	지정공모	45	1,280	중소중견	혁신 제품	징수	일반	
3	모바일기기 충전 아답터용 650V GaN 컨버터 단일 IC 개발	지정공모	45	1,280	중소중견	혁신 제품	징수	일반	
4	모바일기기 보드에 내장되는 GaN 단일칩 배터리 충전기 IC 개발	지정공모	33	1,280	중소중견	혁신 제품	징수	일반	
5	650V 고속스위칭 GaN 구동용 정밀 DT 제어회로 내장한 하프브리지형 구동 IC 개발	지정공모	33	1,280	중소중견	혁신 제품	징수	일반	

#### ④ 시장선도를위한한국주도형K-Sensor기술개발사업

(단위: 월, 백만원)

번호	RFP명	과제 성격	개발 기간	'24년 출연금	주관기관	과제 유형	기술료 징수여부	자율성 트랙	특이 사항
1	스마트 주거 환경을 위한 저전력 다중 복합 유해가스 측정용 적외선 가스센서 기술 개발	품목(핵심)	33	548	중소중견	혁신제품	징수	일반	수요연계
2	차량 세이프티 도어용 비접촉 센서 및 반도체 기술 개발	품목(핵심)	33	548	중소중견	혁신제품	징수	일반	수요연계
3	질병관련 가스 바이오마커의 실시간 검출을 위한 소형 가스 분석 센서 개발	품목(핵심)	57	548	제한없음	원천기술	징수	일반	
4	다중 바이오마커 센서기반 초고감도 패혈증 고속진단 시스템	품목(핵심)	57	548	제한없음	원천기술	징수	일반	
5	초 고감도 질병 유전자 신속/다중 검출 센서 및 시스템 개발	품목(핵심)	57	548	제한없음	원천기술	징수	일반	
6	높은 fill-factor와 흡수율이 향상된 마이크로볼로미터 기술 기반 차세대 30만 화소 웨이퍼 레벨 패키징 열화상 이미지 센서 개발	품목(핵심)	57	548	제한없음	원천기술	징수	일반	

#### ⑤ 차세대지능형반도체기술개발(설계,제조) (시스템반도체상용화설계)

(단위: 월, 백만원)

번호	RFP명	과제 성격	개발 기간	'24년 출연금	주관기관	과제 유형	기술료 징수여부	자율성 트랙	특이 사항
1	스마트홈에서 복합 상환의 고수준 인지를 위한 멀티모달 AI 융합 지능형 반도체 개발	품목(핵심)	33	600	중소중견	혁신제품	징수	일반	
2	실시간 충돌상황 감지 및 회피 기능이 탑재된 로봇충돌 안전용 SoC 통합플랫폼 개발	품목(핵심)	33	600	중소중견	혁신제품	징수	일반	
3	초소형/저전력 Tiny-AI 기술을 적용한 멀티파장 광신호 융합반도체 개발	품목(핵심)	33	600	중소중견	혁신제품	징수	일반	수요연계
4	멀티모달 처리 및 저지연 동작을 위한 모빌리티용 AI 반도체 개발	품목(핵심)	33	600	중소중견	혁신제품	징수	일반	수요연계
5	수동 광통신망(PON : Passive Optical Network)용 MAC SoC 개발	품목(핵심)	33	645	중소중견	혁신제품	징수	일반	
6	초소형/고화질 3D 내시경용 CMOS 영상센서	품목(핵심)	33	600	중소중견	혁신제품	징수	일반	수요연계
7	디지털 치과 응용 경량 인공지능 SoC 기반 지능형 스캐너 플랫폼	품목(핵심)	33	600	중소중견	혁신제품	징수	일반	

#### ⑥ 차세대지능형반도체기술개발(설계,제조) (반도체제조공정장비)

(단위: 월, 백만원)

번호	RFP명	과제 성격	개발 기간	'24년 출연금	주관기관	과제 유형	기술료 징수여부	자율성 트랙	특이 사항
1	10 nm급 이하 Deep Trench Silicon 구조용 고생산성 및 저손상 원자층 식각 장비 개발	품목(핵심)	33	1,263	영리기관	혁신제품	징수	일반	
2	5nm이하 Logic 및 3D DRAM용 SiGe 고선택비 식각장비	품목(핵심)	33	1,263	영리기관	혁신제품	징수	일반	
3	차세대 저장 솔루션용 2%이하 고균일도, 무손상, 신물질 고속 Etch 장비	품목(핵심)	33	1,263	영리기관	혁신제품	징수	일반	
4	차세대 패터닝용 실리콘 및 금속화합물계 소재 증착을 위한 고밀도 플라즈마 ALD 장비 개발	품목(핵심)	33	1,263	영리기관	혁신제품	징수	일반	
5	3D 메모리 나노패턴 및 국소성분분포 측정용 Raman-Ellipsometry 융합측정장비기술	품목(핵심)	33	1,263	영리기관	혁신제품	징수	일반	

## ⑦ 민관공동투자반도체고급인력양성

(단위: 월, 백만원)

번호	과제명	과제 성격	개발 기간	'24년 출연금	주관기관	과제 유형	기술료 징수여부	자율성 트랙	특이 사항
1	고신뢰성 multi-level cell 구현 가능한 Self-rectifying FTJ 어레이 소자 개발	품목(핵심)	33	150	비영리	원천기술	비징수	일반	
2	임계 전압 조절 가능한 2단자 선택소자 기반 수직형 고밀도 메모리 소자 공정 개발	품목(핵심)	33	150	비영리	원천기술	비징수	일반	
3	PIM항 크로스포인트 SOM 적용을 위한 고선택비, 고신뢰성 선택 소자 개발	품목(핵심)	33	170	비영리	원천기술	비징수	지정	국제공동
4	Vector Matrix Multiplication(VMM) 수행을 위한 강유전체 기반 고집적 3D 시냅스 어레이 집적공정기술 개발	품목(핵심)	33	150	비영리	원천기술	비징수	일반	
5	3D NAND 메모리 Cell 고신뢰성 기술 및 소자-회로 통합 테스트베드 플랫폼 개발	품목(핵심)	33	150	비영리	원천기술	비징수	일반	
6	Charge trap 내재 저차원 반도체 초고속 저온 합성 및 플라즈마 결합제어 기술 기반 저전력 시냅스 메모리 소자 개발	품목(핵심)	33	171	비영리	원천기술	비징수	지정	국제공동
7	초거대 언어모델을 위한 양자화 기술 및 스케줄링 기법을 포함하는 Transformer 가속 솔루션 개발	품목(핵심)	33	150	비영리	원천기술	비징수	일반	
8	액티브 셀 밸런싱이 가능하고 무선 제어를 지원하는 전기자동차용 배터리 관리 반도체 설계 기술 개발	품목(핵심)	33	150	비영리	원천기술	비징수	일반	
9	LLM 가속을 위한 CXL 기반 PNM 아키텍처 및 시뮬레이션 플랫폼 개발	품목(핵심)	33	150	비영리	원천기술	비징수	일반	
10	Ion Beam Etching 공정용 리본형 이온빔의 빔에너지 및 입사각 제어기법 개발	품목(핵심)	33	150	비영리	원천기술	비징수	일반	
11	고방열 금속-봉화비소 복합 소재 및 공정 개발	품목(핵심)	33	150	비영리	원천기술	비징수	일반	
12	저온 하이브리드 분당용 metastable 금속 전해도금 소재/접합 특성 및 설계 기술 연구	품목(핵심)	33	150	비영리	원천기술	비징수	일반	
13	EMI 차폐 및 방열특성 향상을 위한 패키지용 복합 Filler 유전기술개발	품목(핵심)	33	150	비영리	원천기술	비징수	일반	

①

## 화합물전력반도체고도화기술개발 (상용화소자 및 모듈)

관리번호	화합물상용-지정-01	산업 기술 분류	중분류 I		중분류 II																									
과제유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품		반도체소자 및 시스템		중전기기																									
융합유형	<input checked="" type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input type="checkbox"/> 해당없음																													
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 원스톱형 <input type="checkbox"/> 통합형 <input checked="" type="checkbox"/> 초격차																													
R&D 자율성트랙유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)																													
과제명	화합물 전력반도체 소자 및 전력변환장치 모듈 상용화 기술개발 총괄 (TRL : 해당없음)	품목코드 (HSK10)	류	호	소호	통계부호																								
			8 5	4 1	9 9	9 0 0 0																								
1. 개념 및 정의																														
<ul style="list-style-type: none"> <li>○ 화합물전력반도체 소자-모듈-수요 연계를 통해 전주기적 기술개발 및 상용화 축진을 유기적이고 체계적으로 수행하기 위한 총괄 및 지원 역할을 수행</li> <li>○ 과제수행기관별로 기술개발 및 상용화를 수행하면 파편화 및 연계 부족이 발생할 수 있으므로 이를 총괄하며 특히 기술 정보 및 시장 개척을 위한 지원을 수행</li> </ul>																														
2. 연구목표 및 내용																														
<input type="checkbox"/> 최종 목표 <ul style="list-style-type: none"> <li>○ 화합물전력반도체 연구개발 효율성 제고 및 상용화 연계 지원</li> <li>○ 화합물전력반도체 기술/특허동향 등 최신 정보 분석 지원</li> <li>○ 소자-모듈기업간, 개발-수요기업간 교류를 통한 사업화 제고</li> <li>○ 정량적 목표</li> </ul>																														
<table border="1"> <thead> <tr> <th></th> <th>핵심 기술/제품 성능지표</th> <th>단위</th> <th>달성목표</th> <th>국내최고 수준</th> <th>세계최고수준 (보유국, 기업/기관명)</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>화합물전력반도체 기술개발로드맵</td> <td>회/년</td> <td>1</td> <td>-</td> <td>-</td> </tr> <tr> <td>2</td> <td>화합물전력반도체 기술동향보고서</td> <td>회/년</td> <td>1</td> <td>-</td> <td>-</td> </tr> <tr> <td>3</td> <td>화합물전력반도체 기술교류워크샵</td> <td>회/년</td> <td>1</td> <td>-</td> <td>-</td> </tr> </tbody> </table>								핵심 기술/제품 성능지표	단위	달성목표	국내최고 수준	세계최고수준 (보유국, 기업/기관명)	1	화합물전력반도체 기술개발로드맵	회/년	1	-	-	2	화합물전력반도체 기술동향보고서	회/년	1	-	-	3	화합물전력반도체 기술교류워크샵	회/년	1	-	-
	핵심 기술/제품 성능지표	단위	달성목표	국내최고 수준	세계최고수준 (보유국, 기업/기관명)																									
1	화합물전력반도체 기술개발로드맵	회/년	1	-	-																									
2	화합물전력반도체 기술동향보고서	회/년	1	-	-																									
3	화합물전력반도체 기술교류워크샵	회/년	1	-	-																									
<input type="checkbox"/> 개발 내용 <ul style="list-style-type: none"> <li>○ 화합물전력반도체 연구개발 효율성 제고 및 상용화 연계 지원           <ul style="list-style-type: none"> <li>- 소자기업-모듈기업-수요기업 간 기술개발/제품개발/사업화 로드맵 수립</li> <li>- 소자-모듈과제 분기별 개발진행 현황 파악, 목표성과 관리, 연구성과 수시 공유</li> <li>- ‘신산업창출 파워반도체상용화 사업(’17~’23)’의 성과와 연계하여 고도화 지원</li> </ul> </li> <li>○ 화합물전력반도체 기술/특허동향 등 최신 정보 분석 지원           <ul style="list-style-type: none"> <li>- 화합물전력반도체 기술/특허동향을 소개하는 특화 보고서 작성 및 배포</li> </ul> </li> </ul>																														

- 화합물전력반도체 전문가 DB 구축으로 산·학·연 전문가를 통해 애로사항 해결
- 소자-모듈기업간, 개발-수요기업간 교류를 통한 사업화 제고
- 소자기업-모듈기업-수요기업간 기술 공유 및 컨소시엄 구성 촉진
- 전력반도체 모듈개발 기업을 발굴하고 소자과제 기술개발내용 사전 정보공유
- 사업화 요구조건(신뢰성 검증) 및 최신 기술동향 공유로 개발 결과물 상용화 제고
- 연구개발워크숍/기술세미나/전시참가 등을 통한 사업 활성화 및 성과 홍보

### 3. 국내의 기술 동향

#### □ 국내 기술 동향

- 국내 SiC 전력반도체 기술은 2013년 이후부터 1.2kV급 수직형 SiC MOSFET, Diode 등의 지속적인 기술을 개발하고 있음
- SiC 전력반도체 소자에 특화된 패키지 기술이 필요하나 아직 기초적인 기술 개발 단계임
- SiC 전력반도체 소자 기반의 전력변환기 기술은 설계기술 부족 및 생산 단가로 인해 제품 출시는 미흡하지만 국내에서도 꾸준히 연구개발이 지속되고 있음

#### □ 국외 기술 동향

- 공정 기술의 발전 및 웨이퍼 구경의 확대로 6인치 공정장비의 활용이 가능해짐에 따라 6인치 웨이퍼 기반의 대량 생산 체계 구축이 진행되고 있으며, 향후 8인치까지 확대될 전망이다
- SiC 전력반도체의 경우 1700V 이하의 제품들이 주로 시장에 공급되고 있으며 GeneSiC, Infineon, Wolfspeed 등 몇몇 기업을 중심으로 1700V 이상의 제품을 개발하여 시장에 선보임

### 4. 지원 필요성

#### □ 기술적 지원필요성

- 화합물전력반도체 소자 및 모듈 연계를 통해 전주기적 기술개발 및 상용화 촉진을 유기적이고 체계적으로 수행할 필요가 있음

#### □ 경제적 지원필요성

- 개별 기업별로 기술 개발 및 상용화를 수행하면 과편화되고 연계 부족이 발생할 수 있으므로 이를 총괄하고 조정하며 특히 기술 정보 및 시장 개척을 위한 지원 체계를 마련할 필요가 있음

#### □ 정부/정책적 지원필요성

- 화합물전력반도체 소자 및 모듈 기술은 세계 각국이 반도체 핵심 기술로 인식하여 막대한 정부 지원을 쏟아붓고 있으며 선진국의 기술 무기화에 대항할 수 있는 핵심 안보 자산임

### 5. 활용방안 및 기대효과

#### □ 활용방안

- ‘기술-시장-상용제품-공급망’으로 연계되는 화합물전력반도체 전주기 밸류체인 구축을 촉진하기 위한 중심축 역할을 수행
- 국내 화합물전력반도체 산업을 위한 첨단정보 제공 및 정책 싱크탱크 등의 지원 센터 역할을 수행

- 국내 화합물전력반도체 기업을 위한 공동 개발, 공동 투자, 컨소시엄 설립 등의 매칭 센터 역할을 수행

□ 기술적 기대효과

- 고전압 및 초고전압 전력반도체 및 관련 에너지 변환 기기의 원천 기술을 확보함으로써 화합물전력반도체 시장을 선도할 수 있는 국가 산업경쟁력 확보
- 실리콘 반도체에서 화합물 반도체로 반도체 패러다임이 변화하고 있는 추세에 적극 대응하여 차세대 반도체 혁명을 선도할 수 있는 핵심 기술력을 확보

□ 경제적 기대효과

- 화합물전력반도체 소자 및 모듈 개발을 통해 전기 철도, 전기 자동차, 신재생 에너지 등의 산업 경쟁력을 강화
- 국산 화합물전력반도체 소자를 사용한 상용 모듈 개발을 통해 전력반도체 기술 자립 및 고도화를 달성

□ 기타 사회·문화적 측면의 기대효과 및 파급효과

- 화합물전력반도체 소자 및 모듈의 개발 및 상용화를 통해 에너지 효율화, 탄소 배출 저감, 환경 오염 감소를 성취

□ 규제개선 요구사항(규제개선 과제 해당되는 경우)

- 해당 사항 없음

**6. 지원기간/예산/추진체계**

- 기간 : 57개월 이내 (1차년도 개발기간 : 9개월, 2차년도~5차년도: 12개월) (1단계 33개월, 2단계 24개월)
- 정부출연금 : '24년 2억원 이내(총 정부출연금 10억원 이내)
- 주관기관 : 비영리기관
- 기술료 징수여부 : 비징수

관리번호	화합물상용-지정-02	산업 기술 분류	중분류 I	중분류 II																																										
과제유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품		반도체소자 및 시스템	증전기																																										
융합유형	<input checked="" type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input type="checkbox"/> 해당없음																																													
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> <input type="checkbox"/> 통합형 <input checked="" type="checkbox"/> 초격차																																													
R&D 자율성트랙유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)																																													
과제명	친환경·고효율 에너지 산업용 1200V급 SiC MOSFET 상용화 소자개발 (TRL : [시작] 5단계 ~ [종료] 8단계)	품목코드 (HSK10)	류	호	소호	통계부호																																								
			8	5	4	1	9	9	9	0	0	0																																		
<b>1. 개념 및 정의</b>																																														
<ul style="list-style-type: none"> <li>○ 산업·에너지 분야 적용을 위한 SiC 전력반도체 소자 양산화 기술 개발 <ul style="list-style-type: none"> <li>- 태양광·풍력등 친환경 에너지 및 산업용 전기기기에 적합한 1200V급 SiC 전력 반도체 소자</li> </ul> </li> </ul>																																														
<b>2. 연구목표 및 내용</b>																																														
<input type="checkbox"/> 1200V/13mΩ, 21mΩ, 45mΩ급 SiC MOSFET 기술 개발 <ul style="list-style-type: none"> <li>○ 온-저항을 최소화할 위한 구조 최적화 및 제품 상용화 개발</li> <li>○ 국제인증(JEDEC, JC-70.2 포함) 기준에 적합한 신뢰성 확보</li> <li>○ 제품 상용화를 위한 공정 안정화 및 수율 확보</li> <li>○ 정량적 목표</li> </ul>																																														
<table border="1"> <thead> <tr> <th>핵심 기술/제품 성능지표</th> <th>단위</th> <th>달성목표</th> <th>국내최고 수준</th> <th>세계최고수준 (미국, WolfSpeed)</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>항복전압</td> <td>V</td> <td>≥ 1200</td> <td>≥ 1200</td> </tr> <tr> <td rowspan="3">2</td> <td rowspan="3">온저항 (at VGS=15V)</td> <td rowspan="3">mΩ</td> <td>≤ 13</td> <td>21 &amp; 40</td> </tr> <tr> <td>≤ 21</td> <td>(@VGS=18 V)</td> </tr> <tr> <td>≤ 45</td> <td></td> </tr> <tr> <td>3</td> <td>Gate-Source Continuous Voltage</td> <td>V</td> <td>≤ -8V &amp; ≥ 19V</td> <td>-10~22</td> </tr> <tr> <td>4</td> <td>Body Diode 전압 (at VGS=-5V)</td> <td>V</td> <td>≤ 4.5</td> <td>4.1</td> </tr> <tr> <td>5</td> <td>Qualification (JEDEC 기준)</td> <td></td> <td>Full Qualification</td> <td>-</td> </tr> <tr> <td>6</td> <td>Short Circuit Withstand time (VDD=800V, VGS=15V)</td> <td>μs</td> <td>≥ 5</td> <td>-</td> </tr> </tbody> </table>								핵심 기술/제품 성능지표	단위	달성목표	국내최고 수준	세계최고수준 (미국, WolfSpeed)	1	항복전압	V	≥ 1200	≥ 1200	2	온저항 (at VGS=15V)	mΩ	≤ 13	21 & 40	≤ 21	(@VGS=18 V)	≤ 45		3	Gate-Source Continuous Voltage	V	≤ -8V & ≥ 19V	-10~22	4	Body Diode 전압 (at VGS=-5V)	V	≤ 4.5	4.1	5	Qualification (JEDEC 기준)		Full Qualification	-	6	Short Circuit Withstand time (VDD=800V, VGS=15V)	μs	≥ 5	-
핵심 기술/제품 성능지표	단위	달성목표	국내최고 수준	세계최고수준 (미국, WolfSpeed)																																										
1	항복전압	V	≥ 1200	≥ 1200																																										
2	온저항 (at VGS=15V)	mΩ	≤ 13	21 & 40																																										
			≤ 21	(@VGS=18 V)																																										
			≤ 45																																											
3	Gate-Source Continuous Voltage	V	≤ -8V & ≥ 19V	-10~22																																										
4	Body Diode 전압 (at VGS=-5V)	V	≤ 4.5	4.1																																										
5	Qualification (JEDEC 기준)		Full Qualification	-																																										
6	Short Circuit Withstand time (VDD=800V, VGS=15V)	μs	≥ 5	-																																										
<input type="checkbox"/> 개발 내용 <ul style="list-style-type: none"> <li>○ 온-저항을 최소화한 1200V급 SiC MOSFET 제품 상용화 개발 <ul style="list-style-type: none"> <li>- 1200V/13mΩ, 21mΩ, 45mΩ급 3종</li> </ul> </li> </ul>																																														

- 온-저항 최소화를 위한 SiC MOSFET 구조 최적화
  - TCAD simulation 기반 SiC epi-layer 최적화 설계
  - Active cell 및 edge termination 구조 최적화
- 국제인증(JEDEC) 기준에 적합한 신뢰성 확보
  - JEDEC Full qualification 수준(JC-70.2 포함)의 공인기관 신뢰성 인증
  - AGG324 수준의 Dynamic Reliability (Dynamic Reverse Bias, Dynamic Gate Bias, Dynamic H3TRB)에 대한 검증
- 제품 상용화를 위한 공정 안정화 및 수율 확보
  - 최적화 구조 확보 후 단일 패턴으로 양산 수준의 수율 달성

□ TRL 핵심기술요소(CTE)

핵심 기술요소		최종단계	생산수준 또는 결과물	시험평가 환경
1	SiC MOSFET 신뢰성 평가	TRL8	JEDEC Full qualification 수준 신뢰성 확보	JEDEC 기준 신뢰성 및 성능 평가

3. 국내외 기술 동향

- 국내 일부 기업 및 연구원에서 1.2kV SiC SBD 및 MOSFET 소자의 개발 단계에 있음.
- Wolfspeed, Infineon 등과 같은 글로벌 기업을 중심으로 1.2KV Low RDS(ON) SiC 기반 전력반도체 소자의 상용화가 이루어지고 있음.

4. 지원 필요성

□ 기술적 지원필요성

- 개발하고자 하는 기술은 태양광·풍력, 산업용 전기기기등의 고효율화를 앞당길 수 있는 대표적인 저탄소·친환경 전기기술임
- SiC 전력반도체는 전기에너지를 기존 기술보다 5 - 10% 절감할 수 있는 에너지 절약기술로 세계 주요국이 국책연구사업으로 수행하고 있음. 2015년 미국 오바마 행정부부터 시행된 약 3억달러 규모의 PowerAmerica 프로그램이 대표적임.
- 한국의 경우 1.2kV 및 1.7kV급 SiC 전력반도체소자의 개발에는 성공하였으나, 아직까지 설계 및 공정의 최적화가 완전히 이루어지지 못해 관련 기업의 기술 및 시장경쟁력이 취약한 상태임.
- 따라서 정부 지원을 바탕으로 기술 고도화를 통한 기업의 기술 및 시장경쟁력 강화가 시급한 상태임.

□ 경제적 지원필요성

- 정부 지원을 바탕으로 기술개발이 이루어질 경우, 2027년 63억 달러 규모가 될 것으로 예상되는 SiC 전력반도체시장에서의 점유율 향상이 가능할 것으로 판단됨.
- 개발하고자 하는 기술은 고효율 친환경 산업 및 기존 가전기기, 산업용 전기기기 고효율화에 필수적인 기술로, 앞으로 에너지 산업 분야뿐만 아니라 우주·항공, 차

세대 e-모빌리티와 같은 미래선도형 산업에도 적용이 가능함.

- 정부 지원을 통한 기술 고도화가 완료되면 기술 자립을 통한 국내 관련 기업의 시장 경쟁력 강화와 함께 수출 경쟁력도 증가할 것으로 판단됨.

정부/정책적 지원필요성

- 개발 대상 제품인 1200V급 SiC 전력반도체소자는 국내 일부 기업에서 기술 및 제품 개발이 완료되었으나, 아직까지 설계 및 공정 최적화가 완전히 이루어지지 않아 국외 선도기업 제품 대비 시장경쟁력이 약한 상태임.
- 2021년 자동차용 반도체 공급부족 사태에서 볼 수 있듯이 전력반도체소자 특히 특성이 뛰어난 SiC 전력반도체소자는 국제 산업적, 정치적 환경에 따라 전략기술 화할 가능성이 매우 높음.
- 따라서 정부 지원을 통한 기술 고도화 및 자립화가 시급한 실정임.

### 5. 활용방안 및 기대효과

활용방안

- 태양광·풍력, ESS 등 친환경 산업 분야용 전력모듈 기술개발에 활용
- 산업용 전기기기 시스템용 전력모듈 개발에 활용

기술적 기대효과

- SiC 전력반도체소자 양산 기술 내재화 및 관련 기업의 기술경쟁력 확보

경제적 기대효과

- SiC 전력반도체소자 관련 국내 기업의 시장경쟁력 확보
- 국내 관련 기업의 SiC 전력반도체소자 시장 점유율 증대

기타 사회·문화적 측면의 기대효과 및 파급효과

- 친환경 전기기기 및 시스템 적용 기술개발을 통한 탄소중립화에 기여
- SiC 전력반도체 관련 산업 분야 확대를 통한 고용 증대

규제개선 요구사항(규제개선 과제 해당되는 경우)

### 6. 지원기간/예산/추진체계

- 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 : 12개월, 3차년도 : 12개월)
- 정부출연금 : '24년 8억원 이내(총 정부출연금 24억원 이내)
- 주관기관 : 영리기관
- 기술료 징수여부 : 징수

관리번호	화합물상용-지정-03	산업 기술 분류	중분류 I		중분류 II																																																													
과제유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품		반도체소자 및 시스템		중전기기																																																													
융합유형	<input checked="" type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input type="checkbox"/> 해당없음																																																																	
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input checked="" type="checkbox"/> 초격차																																																																	
R&D 자율성트랙유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)																																																																	
과제명	xEV용 1.2kV급 온저항 10mΩ, 20mΩ SiC MOSFET 상용 소자개발 (TRL : [시작] 5단계 ~ [종료] 8단계)	품목코드 (HSK10)	류	호	소호	통계부호																																																												
			8 5	4 1	9 9	9 0 0 0																																																												
<b>1. 개념 및 정의</b>																																																																		
<ul style="list-style-type: none"> <li>○ 개념 : xEV용 SiC 모듈 적용을 위한 1200V급 10mΩ, 20mΩ SiC MOSFET의 상용화 개발 <ul style="list-style-type: none"> <li>- 제품형태 : xEV용 상용화 신뢰성 확보된 1200V급 10mΩ, 20mΩ SiC MOSFET 웨이퍼</li> <li>- 기술형태 : xEV용 1200V급 10mΩ, 20mΩ SiC MOSFET 소자 제작, 평가, 모듈 적용 <ul style="list-style-type: none"> <li>* 1200V급 Planar SiC MOSFET 10mΩ, 20mΩ 소자 제작 및 평가</li> <li>* xEV용 모듈 적용을 위한 후면전극 처리 및 전력변환 모듈 제작용 Chip 제공</li> <li>* xEV용 신뢰성 확보 (AECQ-101 Qualified (2026년)) / * 우주 방사선 신뢰성 평가기술 적용</li> </ul> </li> </ul> </li> </ul>																																																																		
<b>2. 연구목표 및 내용</b>																																																																		
<input type="checkbox"/> 최종목표 : 1200V급 10mΩ, 20mΩ SiC MOSFET의 상용화 개발 및 xEV용 SiC 모듈 적용 <ul style="list-style-type: none"> <li>○ 정량적 개발 목표</li> </ul>																																																																		
<table border="1"> <thead> <tr> <th></th> <th>핵심 기술/제품 성능지표</th> <th>단위</th> <th>달성목표</th> <th>국내최고 수준</th> <th>세계최고수준 (독일, 인피니온)</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>항복전압(BV)</td> <td>V</td> <td>1200</td> <td>&gt;1200V</td> <td>&gt;1200V</td> </tr> <tr> <td>2</td> <td>온저항(RDS(on))</td> <td>mΩ</td> <td>≤ 10mΩ / ≤ 20mΩ</td> <td>40mΩ</td> <td>8.7mΩ</td> </tr> <tr> <td>3</td> <td>Ron,sp</td> <td>mΩ-cm<sup>2</sup></td> <td>≤ 4.0mΩ-cm<sup>2</sup></td> <td>5.0mΩ-cm<sup>2</sup></td> <td>2.8mΩ-cm<sup>2</sup></td> </tr> <tr> <td>4</td> <td>스위칭손실(E<sub>ON</sub>)</td> <td>μJ/A</td> <td>≤ 750μJ</td> <td>-</td> <td>750μJ</td> </tr> <tr> <td>5</td> <td>스위칭특성(E<sub>off</sub>)</td> <td>μJ/A</td> <td>≤ 805μJ</td> <td>-</td> <td>805μJ</td> </tr> <tr> <td>6</td> <td>EAS</td> <td>mJ</td> <td>≥ 625mJ</td> <td>-</td> <td>625mJ</td> </tr> <tr> <td>7</td> <td>VSD</td> <td>V</td> <td>≤ 3.9V</td> <td>-</td> <td>3.9V</td> </tr> <tr> <td>8</td> <td>Short-circuit time</td> <td>μS</td> <td>≥ 1.5μS</td> <td>-</td> <td>1.5μS</td> </tr> <tr> <td>9</td> <td>AEC-Q101 인증</td> <td>건</td> <td>2건</td> <td>-</td> <td>인증</td> </tr> </tbody> </table>								핵심 기술/제품 성능지표	단위	달성목표	국내최고 수준	세계최고수준 (독일, 인피니온)	1	항복전압(BV)	V	1200	>1200V	>1200V	2	온저항(RDS(on))	mΩ	≤ 10mΩ / ≤ 20mΩ	40mΩ	8.7mΩ	3	Ron,sp	mΩ-cm <sup>2</sup>	≤ 4.0mΩ-cm <sup>2</sup>	5.0mΩ-cm <sup>2</sup>	2.8mΩ-cm <sup>2</sup>	4	스위칭손실(E <sub>ON</sub> )	μJ/A	≤ 750μJ	-	750μJ	5	스위칭특성(E <sub>off</sub> )	μJ/A	≤ 805μJ	-	805μJ	6	EAS	mJ	≥ 625mJ	-	625mJ	7	VSD	V	≤ 3.9V	-	3.9V	8	Short-circuit time	μS	≥ 1.5μS	-	1.5μS	9	AEC-Q101 인증	건	2건	-	인증
	핵심 기술/제품 성능지표	단위	달성목표	국내최고 수준	세계최고수준 (독일, 인피니온)																																																													
1	항복전압(BV)	V	1200	>1200V	>1200V																																																													
2	온저항(RDS(on))	mΩ	≤ 10mΩ / ≤ 20mΩ	40mΩ	8.7mΩ																																																													
3	Ron,sp	mΩ-cm <sup>2</sup>	≤ 4.0mΩ-cm <sup>2</sup>	5.0mΩ-cm <sup>2</sup>	2.8mΩ-cm <sup>2</sup>																																																													
4	스위칭손실(E <sub>ON</sub> )	μJ/A	≤ 750μJ	-	750μJ																																																													
5	스위칭특성(E <sub>off</sub> )	μJ/A	≤ 805μJ	-	805μJ																																																													
6	EAS	mJ	≥ 625mJ	-	625mJ																																																													
7	VSD	V	≤ 3.9V	-	3.9V																																																													
8	Short-circuit time	μS	≥ 1.5μS	-	1.5μS																																																													
9	AEC-Q101 인증	건	2건	-	인증																																																													
<input type="checkbox"/> 개발 내용 <ul style="list-style-type: none"> <li>○ 1200V/10mΩ, 20mΩ SiC MOSFET 소자 설계 및 공정 기술 개발 <ul style="list-style-type: none"> <li>- 1200V급 Planar SiC MOSFET 소자 및 공정 설계</li> </ul> </li> </ul>																																																																		

- xEV 전력변환 양면 냉각 모듈 제작/평가용 Chip 제작 및 제공
  - 모듈 적용을 위한 전 /후면전극 처리 공정(sintering/soldering) 개발 및 적용
- 전기자동차용 신뢰성 AEC-Q101 Qualified(26년)
  - 방사선 적용 신뢰성 평가 포함.

□ TRL 핵심기술요소(CTE)

핵심 기술요소		최종단계	생산수준 또는 결과물	시험평가 환경
1	SiC MOSFET 최적화 설계	TRL8	Ron,sp=4mΩ.cm2 이하의 SiC MOSFET	JEDEC 기준 신뢰성 및 성능 평가
2	SiC MOSFET 신뢰성 평가	TRL8	AECQ-101 신뢰성 확보된 SiC MOSFET	AECQ-101 신뢰성 기준 평가

3. 국내외 기술 동향

□ 국내 기술 동향

- 국내 기업의 전력반도체 생산규모 및 기술력이 글로벌 기업 대비 부족한 상황
  - 현재 전력반도체 웨이퍼 및 장비는 소수의 글로벌 업체가 독점하고 있어 수급의 어려움이 있고, 이로 인하여 수요대비 공급 부족 현상 발생

□ 국외 기술 동향

- 차세대 전력반도체에 사용되는 SiC/GaN 웨이퍼 시장은 '19~'30년간 연평균 33% 증가하여, 17배 이상 성장할 것으로 예상
- 글로벌 전력반도체 기업 중심으로 EV용 SiC MOSFET이 공급되고 있음.
  - 2022년 기준 STmicro, Onsemi, Infineon, Rohm, Wolfspeed 만이 차량용 SiC MOSFET 공급중. 또한 최근 글로벌 기업은 Ron,sp=2.5mΩ.cm2 수준의 기술 노드를 발표함.
- 글로벌 기업은 AEC에서 차량용 민간인증 기준인 AECQ-101 기준을 제시하고 있음.

4. 지원 필요성

□ 기술적 지원필요성

- (제안 기술의 시급성) xEV용 핵심 부품의 글로벌 수준의 신뢰성/성능의 확보 및 필드 평가 시급.
  - 국내에서 정책적 지원으로 SiC MOSFET이 개발되었으나, 상용 EV에 사용하기 위한 성능 및 규격, 신뢰성 확보를 위한 기술개발 지원이 필수이며 파워트레인용 모듈에 적용 하기위한 기술개발은 국산화가 반드시 필요함

□ 경제적 지원필요성

- xEV용 최적화된 SiC MOSFET소자 상용화 개발을 통해 미국, 유럽, 일본 등 경쟁국과의 기술경쟁에서 경쟁력을 확보할 필요성이 있음.
- 대용량 모터 구동용 인버터 등과 같은 산업 분야의 고효율·저가격화를 앞당기고, 친환경·탄소저감 정책에 부응하기 위해 SiC 소재에 기반한 초고전압 소자 기술의 개발이 시급함.

- 정부/정책적 지원필요성
  - (그린뉴딜의 핵심 부품 확보) 전기자동차 생산량 증가에 따라 xEV용 파워트레인의 핵심부품인 SiC MOSFET의 국산화 필요성 증대
    - 무역분쟁 등 반도체 부품이 전략제품화 되는 추세에 맞춰 국산 제품의 필요성 증대.
  - (중소중견기업 추진 적합) 전력반도체 산업의 특성상 다품종 소량 생산으로 대량생산에 중점을 두고 있는 대기업보다는 기술력을 기반으로 소규모 생산이 적합한 중소/중견 기업이 진행하는 것이 바람직함.

## 5. 활용방안 및 기대효과

- 활용방안
  - SiC power MOSFET 적용이 가능한 시스템 업체와의 연계를 통한 1.2kV급 SiC power MOSFET 관련 응용 특허 확보 및 제품 경쟁력 강화
    - 현재 국내에는 SiC 소재 및 소자 관련 기업 뿐만 아니라 전기자동차, 발전 분야 등에 다수의 글로벌 기업이 존재하기 때문에 이들 기업과의 연계를 통한 관련 제품의 활용 및 기술의 글로벌화 가능성 높음.
- 기술적 기대효과
  - 제안 기술을 통해 고도화 개발된 SiC 전력반도체소자 사용 시 기술적으로 인버터의 부피와 무게를 기존의 1/4 수준으로 줄일 수 있어 e-mobility의 전비와 가격경쟁력을 획기적으로 높일 수 있음.
- 경제적 기대효과
  - 1.2kV급 SiC power MOSFET 기술 고도화 개발 이후 국내 소재, 소자 기업 등과 연계를 통한 조기 상용화 및 관련 시장 진입으로 국내 파워반도체 소자의 경제적 성장을 가져 올 수 있을 것으로 기대
- 기타 사회.문화적 측면의 기대효과 및 파급효과
  - 고용창출 기대효과
    - 전력반도체 연구와 인력양성을 통해 xEV용 전력반도체 전문 인력 및 신뢰성 평가 전문 인력 양성 가능.

## 6. 지원기간/예산/추진체계

- 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 : 12개월, 3차년도 : 12개월)
- 정부출연금 : '24년 10억원 이내(총 정부출연금 30억원 이내)
- 주관기관 : 영리기관
- 기술료 징수여부 : 징수

관리번호	화합물상용-지정-04	산업 기술 분류	중분류 I		중분류 II																																																																																						
과제유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품		반도체소자 및 시스템		충전기																																																																																						
융합유형	<input checked="" type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input type="checkbox"/> 해당없음																																																																																										
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input checked="" type="checkbox"/> 초격차																																																																																										
R&D 자율성트랙유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)																																																																																										
과제명	고효율 xEV용 1700V급 SiC MOSFET 상용화 소자개발 (TRL : [시작] 5단계 ~ [종료] 8단계)		품목코드 (HSK10)	류	호	소호	통계부호																																																																																				
				8 5	4 1	9 9	9 0 0 0																																																																																				
<b>1. 개념 및 정의</b>																																																																																											
<ul style="list-style-type: none"> <li>○ 친환경 신산업인 xEV, 드론, 우주·항공 등 미래 e-모빌리티에 적합한 SiC 전력반도체 기술개발 <ul style="list-style-type: none"> <li>- xEV 및 xEV 충전기 인버터 모듈용 1700V급 SiC 전력반도체소자 <ul style="list-style-type: none"> <li>; 1700V급 SiC MOSFET 소자 설계 및 공정 기술</li> <li>; 1700V급 SiC MOSFET 제품 양산 기술</li> <li>; 고효율, 고신뢰성 1700V급 SiC MOSFET 소자 기술</li> </ul> </li> </ul> </li> </ul>																																																																																											
<b>2. 연구목표 및 내용</b>																																																																																											
<input type="checkbox"/> 온-저항을 최소화한 1700V/40mΩ급 SiC MOSFET 기술개발 <ul style="list-style-type: none"> <li>○ 정량적 개발 목표</li> </ul>																																																																																											
<table border="1"> <thead> <tr> <th colspan="2">핵심 기술/제품 성능지표</th> <th>단위</th> <th>달성목표</th> <th>국내 최고 수준</th> <th>세계최고수준 (미국, Wolfspeed)</th> </tr> </thead> <tbody> <tr><td>1</td><td>항복전압</td><td>V</td><td>≥ 1700</td><td>2100</td><td>1700</td></tr> <tr><td>2</td><td>온-저항(VGS=15V)</td><td>mΩ</td><td>≤ 40</td><td>52</td><td>40</td></tr> <tr><td>3</td><td>Drain current(VGS=15V)</td><td>A</td><td>≥ 75</td><td>40</td><td>75</td></tr> <tr><td>4</td><td>Ron,sp</td><td>Ω-cm<sup>2</sup></td><td>≥ 5</td><td>8</td><td>5</td></tr> <tr><td>5</td><td>문턱전압</td><td>V</td><td>≥ 3.0</td><td>4.5</td><td>3.0</td></tr> <tr><td>6</td><td>게이트용량(Qg)</td><td>nC</td><td>&lt; 150</td><td>-</td><td>200</td></tr> <tr><td>7</td><td>스위칭 손실 (Eon)</td><td>mJ</td><td>&lt; 2.0</td><td>-</td><td>2.0</td></tr> <tr><td>8</td><td>스위칭 손실 (Eoff)</td><td>mJ</td><td>&lt; 0.3</td><td>-</td><td>0.31</td></tr> <tr><td>9</td><td>AEC-Q101 인증</td><td>-</td><td>1건</td><td>-</td><td>-</td></tr> <tr><td>10</td><td>Specific 온-저항</td><td>mΩ · cm<sup>2</sup></td><td>≤ 6.2</td><td>8.0</td><td>6.2</td></tr> <tr><td>11</td><td>Short-circuit time</td><td>μs</td><td>≥ 3</td><td>3</td><td>-</td></tr> <tr><td>12</td><td>Diode Forward Voltage(VGS=-5V)</td><td>V</td><td>≤ 3.8</td><td>-</td><td>3.8</td></tr> <tr><td>13</td><td>Avalanche energy</td><td>mJ</td><td>≥ 500</td><td>400</td><td>550</td></tr> </tbody> </table>								핵심 기술/제품 성능지표		단위	달성목표	국내 최고 수준	세계최고수준 (미국, Wolfspeed)	1	항복전압	V	≥ 1700	2100	1700	2	온-저항(VGS=15V)	mΩ	≤ 40	52	40	3	Drain current(VGS=15V)	A	≥ 75	40	75	4	Ron,sp	Ω-cm <sup>2</sup>	≥ 5	8	5	5	문턱전압	V	≥ 3.0	4.5	3.0	6	게이트용량(Qg)	nC	< 150	-	200	7	스위칭 손실 (Eon)	mJ	< 2.0	-	2.0	8	스위칭 손실 (Eoff)	mJ	< 0.3	-	0.31	9	AEC-Q101 인증	-	1건	-	-	10	Specific 온-저항	mΩ · cm <sup>2</sup>	≤ 6.2	8.0	6.2	11	Short-circuit time	μs	≥ 3	3	-	12	Diode Forward Voltage(VGS=-5V)	V	≤ 3.8	-	3.8	13	Avalanche energy	mJ	≥ 500	400	550
핵심 기술/제품 성능지표		단위	달성목표	국내 최고 수준	세계최고수준 (미국, Wolfspeed)																																																																																						
1	항복전압	V	≥ 1700	2100	1700																																																																																						
2	온-저항(VGS=15V)	mΩ	≤ 40	52	40																																																																																						
3	Drain current(VGS=15V)	A	≥ 75	40	75																																																																																						
4	Ron,sp	Ω-cm <sup>2</sup>	≥ 5	8	5																																																																																						
5	문턱전압	V	≥ 3.0	4.5	3.0																																																																																						
6	게이트용량(Qg)	nC	< 150	-	200																																																																																						
7	스위칭 손실 (Eon)	mJ	< 2.0	-	2.0																																																																																						
8	스위칭 손실 (Eoff)	mJ	< 0.3	-	0.31																																																																																						
9	AEC-Q101 인증	-	1건	-	-																																																																																						
10	Specific 온-저항	mΩ · cm <sup>2</sup>	≤ 6.2	8.0	6.2																																																																																						
11	Short-circuit time	μs	≥ 3	3	-																																																																																						
12	Diode Forward Voltage(VGS=-5V)	V	≤ 3.8	-	3.8																																																																																						
13	Avalanche energy	mJ	≥ 500	400	550																																																																																						
<input type="checkbox"/> 개발 내용 <ul style="list-style-type: none"> <li>○ xEV용 1700V/40mΩ SiC MOSFET 소자 개발 <ul style="list-style-type: none"> <li>- 1700V급 planar형 SiC MOSFET 소자 및 공정 설계</li> </ul> </li> <li>○ 1700V/40mΩ SiC MOSFET 소자 설계 및 공정 최적화 기술 개발</li> </ul>																																																																																											

- 온-저항 저감을 위한 SiC MOSFET active cell 구조 최적화
- 항복전압 특성 강화를 위한 edge termination 구조 최적화
- 소자 양산성을 고려한 공정 최적화 개발
- o xEV 인버터 전력모듈 개발을 위한 bare chip 제작 및 제공
- o xEV용 신뢰성 강화 기술개발
  - AEC-Q101 qualified
  - xEV 응용을 위한 대기/우주 방사선 신뢰성 평가 기술 개발

TRL 핵심기술요소(CTE)

핵심 기술요소		최종단계	생산수준 또는 결과물	시험평가 환경
1	SiC MOSFET 최적화 설계	TRL8	Ron,sp= 5mΩ.cm2 이하의 SiC MOSFET	JEDEC 기준 신뢰성 및 성능 평가
2	SiC MOSFET 신뢰성 평가	TRL8	AECQ-101 신뢰성 확보된 SiC MOSFET	AECQ-101 신뢰성 기준 평가

**3. 국내외 기술 동향**

- o 국내 일부 기업 및 한국전기연구원에서 1.2kV, 1.7kV급 SiC SBD 및 MOSFET 소자 설계, 공정 기술개발 및 양산화 진행 중
- o SiC SBD의 경우 1.7kV/20A급, SiC MOSFET은 1.2kV/20A급 수준의 제품이 국내 기업들을 통해 상용화가 되었으나, 안정적인 양산 능력을 확보하지는 못하고 있음.
- o Wolfspeed, Infineon 등과 같은 글로벌 기업을 중심으로 SiC 기반 전력반도체소자의 상용화가 이루어지고 있음.
- o SiC SBD의 경우 스위스 STmicron, 독일 Infineon, 일본 Rohm, 미국 Wolfspeed, On-semi 등에서 650V - 1.2kV급 SiC 다이오드 상용화 완료
- o SiC MOSFET의 경우 독일 Infineon, 일본 Rohm, 미국 Wolfspeed, On-semi 등에서 650V - 1.7kV급 SiC MOSFET 상용화 완료
- o 국외 선도기업의 1.2kV 및 1.7kV급 SiC 전력반도체소자의 경우 제품 상용화에는 성공하였으나, 아직까지 신뢰성 문제가 완전히 해결되지는 않은 상태임.

**4. 지원 필요성**

기술적 지원필요성

- o 1700V급 SiC MOSFET 기술은 xEV의 주행거리 향상 및 xEV용 고속 충전을 위해 필수적인 기술임.
- o 향후 xEV용 배터리 출력전압이 800V로 승압되면, xEV용 전력변환 시스템, xEV 충전기용 인버터 시스템 등의 신뢰성 및 안정성을 확보하기 위해 1700V급 SiC MOSFET 개발이 필요함.
- o SiC 전력반도체는 소재의 우수한 특성을 바탕으로 기존의 Si 전력반도체소자를 적용했을때와 비교해 전기에너지를 5 - 10% 가량 절감할 수 있는 친환경 에너지 절약 기술임.
- o 따라서 정부 지원을 바탕으로 기술개발을 통해 제품의 양산화 및 관련 국내 기업의 기술 경쟁력 확보가 시급한 실정임.

경제적 지원필요성

- 정부 지원을 바탕으로 기술개발이 이루어질 경우, 2027년 63억 달러 규모가 될 것으로 예상되는 SiC 전력반도체시장에서의 점유율 향상이 가능할 것으로 판단됨.
- 개발하고자 하는 1700V급 SiC MOSFET 기술은 xEV, xEV용 충전기 분야 뿐만 아니라 태양광·ESS, 산업용 전기기기 등의 고효율화에 필수적인 기술로, 향후 우주·항공, 드론 등의 미래 e-모빌리티와 같은 산업에도 적용이 가능함.

정부/정책적 지원필요성

- 탄소 저감을 통한 지구 온난화 확산 방지 등을 위한 친환경, 그린에너지 관련 기술개발에 대한 전 세계적인 요구가 증가하고 있음.
- 개발 대상인 1700V급 SiC 전력반도체소자는 국내에서도 개발된 바 있으나, 설계 및 공정의 최적화가 되지 못해 국외 선도기업 제품 대비 기술 및 시장 경쟁력이 약한 상태임.
- 2021년 자동차용 반도체 공급부족 사태에서 볼 수 있듯이 전력반도체소자 특히 특성이 뛰어난 SiC 전력반도체소자는 국제 산업적, 정치적 환경에 따라 전략기술화할 가능성이 매우 높음.
- 따라서 정부 지원을 통한 기술 고도화 및 자립화가 시급한 실정임.

**5. 활용방안 및 기대효과**

활용방안

- xEV 및 xEV 충전기용 고효율 인버터 모듈 기술개발에 활용
- 태양광, ESS 등 친환경 에너지 산업 분야 기술개발에 활용

기술적 기대효과

- SiC 전력반도체소자 양산 기술 자립화 및 관련 기업의 기술경쟁력 강화

경제적 기대효과

- SiC 전력반도체소자 관련 국내 관련 기업의 시장경쟁력 확보
- 국내 관련 기업의 시장 점유율 증대

기타 사회·문화적 측면의 기대효과 및 파급효과

- 탄소 저감 기술개발을 통한 지구 온난화 해소에 기여
- SiC 전력반도체 관련 신산업 창출을 통한 고용 증대

규제개선 요구사항(규제개선 과제 해당되는 경우)

**6. 지원기간/예산/추진체계**

- 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 : 12개월, 3차년도 : 12개월)
- 정부출연금 : '24년 6억원 이내(총 정부출연금 18억원 이내)
- 주관기관 : 영리기관
- 기술료 징수여부 : 징수

**[참고] 화합물전력반도체고도화기술개발  
실무작업반 명단**

순번	실무작업반		
	성명	소속	직위
1	장동근	세미파워렉스	대표
2	양창현	SK파워텍	소장
3	노진호	성진TS	소장
4	윤상원	서울대학교	교수
5	고상기	코닉스	연구소장
6	정순묵	SK실트론	프로
7	윤영준	안동대학교	교수
8	김종석	한양대학교	교수
9	박윤환	워프솔루션	이사
10	홍남표	국민대학교	교수

## ② 화합물전력반도체고도화기술개발 (소재)

관리번호	화합물소재-지정-01		산업 기술 분류	중분류 I		중분류 II																																																
과제유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품			반도체소자 및 시스템		충전기기																																																
융합유형	<input checked="" type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input type="checkbox"/> 해당없음																																																					
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input checked="" type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input checked="" type="checkbox"/> 초격차																																																					
R&D 자율성트랙유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)																																																					
과제명	고온동작 WBG 파워모듈/패키지용 무가압 고속 sinterable 접합소재 (TRL : [시작] 4단계 ~ [종료] 7단계)			품목코드 (HSK10)	류	호	소호	통계부호																																														
					8	5	4	2	3	3	4	0	9	0																																								
1. 개념 및 정의																																																						
<ul style="list-style-type: none"> <li>○ 전력반도체를 기판에 접합하는 반도체 접합소재와 기판을 baseplate에 접합하는 기판 접합소재를 포함하는 파워모듈/패키지 접합소재             <ul style="list-style-type: none"> <li>- 현재 전기자동차 내 WBG 파워모듈용으로 사용되는 Ag 접합소재 기반 가압 소결접합 공정의 문제점* 해결이 가능한 무가압 소결접합 소재 핵심기술 개발                 <ul style="list-style-type: none"> <li>* 가압으로 인한 전력소자의 damage 발생 등 잠재적인 신뢰성 문제, 가압 설비의 도입 및 금형 틀링비용 발생 등</li> </ul> </li> </ul> </li> </ul>																																																						
2. 연구목표 및 내용																																																						
<input type="checkbox"/> 최종 목표 <ul style="list-style-type: none"> <li>○ 고온동작 WBG 파워모듈/패키지용 무가압 고속 sinterable 접합소재             <ul style="list-style-type: none"> <li>- Micro/nano 금속분말 제조 및 균일 분산과 무가압 고속 소결접합이 가능한 페이스트 내 유기조성물 제조기술 개발</li> <li>- 치밀한 소결접합 조직을 위한 무가압 소결공정 개발 및 파워모듈(or PKG) 성능 검증</li> </ul> </li> </ul>																																																						
○ 정량적 목표																																																						
<table border="1"> <thead> <tr> <th colspan="2">핵심 기술/제품 성능지표</th> <th>단위</th> <th>달성목표</th> <th>국내 최고 수준</th> <th>세계최고수준 (보유국, 기업/기관명)</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>페이스트 점도@0.5rpm</td> <td>Pa-S</td> <td>100±10</td> <td>없음</td> <td>100 Pa-S (일본, Kyocera)</td> </tr> <tr> <td>2</td> <td>소결후 Ag 함량</td> <td>wt%</td> <td>&lt; 70</td> <td>없음</td> <td>99 % (일본, Kyocera)</td> </tr> <tr> <td>3</td> <td>접합시간*@무가압, 250 °C, 대기(or N<sub>2</sub>) 분위기</td> <td>분</td> <td>≤ 30</td> <td>없음</td> <td>90분 (일본, Kyocera)</td> </tr> <tr> <td>4</td> <td>접합강도**@무가압, 250 °C, 대기(or N<sub>2</sub>) 분위기</td> <td>MPa</td> <td>≥ 25</td> <td>없음</td> <td>25 MPa (일본, Kyocera)</td> </tr> <tr> <td>5</td> <td>열충격 시험(-40~150 °C, 1000 cycles) 후 접합강도* 변화율</td> <td>%</td> <td>≤ 15</td> <td>없음</td> <td>15% (일본, Kyocera)</td> </tr> <tr> <td>6</td> <td>파워모듈(or PKG)*** 열충격 시험(-40~150 °C)****</td> <td>cycles</td> <td>≥ 1000</td> <td>없음</td> <td>1000 (일본, Kyocera)</td> </tr> </tbody> </table>													핵심 기술/제품 성능지표		단위	달성목표	국내 최고 수준	세계최고수준 (보유국, 기업/기관명)	1	페이스트 점도@0.5rpm	Pa-S	100±10	없음	100 Pa-S (일본, Kyocera)	2	소결후 Ag 함량	wt%	< 70	없음	99 % (일본, Kyocera)	3	접합시간*@무가압, 250 °C, 대기(or N <sub>2</sub> ) 분위기	분	≤ 30	없음	90분 (일본, Kyocera)	4	접합강도**@무가압, 250 °C, 대기(or N <sub>2</sub> ) 분위기	MPa	≥ 25	없음	25 MPa (일본, Kyocera)	5	열충격 시험(-40~150 °C, 1000 cycles) 후 접합강도* 변화율	%	≤ 15	없음	15% (일본, Kyocera)	6	파워모듈(or PKG)*** 열충격 시험(-40~150 °C)****	cycles	≥ 1000	없음	1000 (일본, Kyocera)
핵심 기술/제품 성능지표		단위	달성목표	국내 최고 수준	세계최고수준 (보유국, 기업/기관명)																																																	
1	페이스트 점도@0.5rpm	Pa-S	100±10	없음	100 Pa-S (일본, Kyocera)																																																	
2	소결후 Ag 함량	wt%	< 70	없음	99 % (일본, Kyocera)																																																	
3	접합시간*@무가압, 250 °C, 대기(or N <sub>2</sub> ) 분위기	분	≤ 30	없음	90분 (일본, Kyocera)																																																	
4	접합강도**@무가압, 250 °C, 대기(or N <sub>2</sub> ) 분위기	MPa	≥ 25	없음	25 MPa (일본, Kyocera)																																																	
5	열충격 시험(-40~150 °C, 1000 cycles) 후 접합강도* 변화율	%	≤ 15	없음	15% (일본, Kyocera)																																																	
6	파워모듈(or PKG)*** 열충격 시험(-40~150 °C)****	cycles	≥ 1000	없음	1000 (일본, Kyocera)																																																	

- \* Chip과 기판간 일정 접합강도 이상이 나타나는 소결접합(250°C, 대기(or N<sub>2</sub>) 분위기) 공정시간
- \*\* 무가압 소결접합(250°C, 대기(or N<sub>2</sub>) 분위기) 후, chip(4 mm X 4 mm)과 기판간 접합강도
- \*\*\* 대기(or N<sub>2</sub>) 분위기 무가압 소결접합공정이 적용된 파워모듈(or PKG)일 것. WBG (SiC, GaN, Ga<sub>2</sub>O<sub>3</sub>) 소자 중 최소 한가지 이상의 소자를 사용한 파워모듈(or PKG) 일 것.
- \*\*\*\* 열충격 후, 소결접합부 열저항변화가 초기대비 20% 이하일 것

개발 내용

- Micro/nano 금속분말 제조 및 균일 분산과 무가압 소결접합이 가능한 페이스트 내 유기조성물 제조기술
  - 고가의 Ag 함량 저감을 위한 복합 필터 조성 설계
  - 마이크로 및 나노급 필터 금속분말 제조 및 균일 혼합/분산 기술 개발
  - 30분 이내의 고속 소결접합이 가능한 무가압용 소결접합 소재 설계/합성 기술 개발
  - 인쇄성 등 소결접합 페이스트의 레올러지 특성 확보
  - 파이롯트급 무가압 소결접합 소재 양산기술(10 kg/batch 이상) 개발
- 치밀한 소결접합 조직을 위한 무가압 소결공정 개발 및 파워모듈(or PKG) 성능 검증
  - 고속 소결 및 강건한 소결접합 미세조직과 높은 접합강도의 동시 확보를 위한 대기(or N<sub>2</sub>) 분위기 무가압 소결접합 공정 최적화
  - 칩 접합부 열충격 시험 등 소결접합부 장기 신뢰성 평가
  - 무가압 소결접합 공정이 적용된 파워모듈(or PKG) 평가를 통한 접합소재 신뢰성 확보

TRL 핵심기술요소(CTE)

핵심 기술요소		최종단계	생산수준 또는 결과물	시험평가 환경
1	고속 sinterable 금속분말 양산기술 개발	7	고속 sinterable용 금속분말 시제품	실험실 및 현장환경
2	무가압 고속 소결접합재 개발	7	무가압 고속 sinterable 접합소재 시제품	실험실 및 현장환경

**3. 국내외 기술 동향**

- 해외 선진업체(알파메탈, 인덱스(美), 니혼한다, 미쯔이, 요세라(日), 헤라우스(獨) 등)에 서는 이미 WBG 화합물 반도체용 접합소재를 상용화하고, 일부는 EV를 위한 파워모 들 제조에 적용 중.
  - Tesla Model 3에서는 SiC 파워모듈에 가압용 Ag 소결접합재가 적용됨.
  - 무가압용 소결접합 소재는 요세라(日)가 가장 앞서 있으나, 장시간의 소결 접합시간 이 요구되는 문제가 있음.
- 국내 소재업체는 아직 소결접합재가 시제품 수준으로 현장 평가를 받고 있으며, 소결 접합 장비 및 적용되는 파워모듈 또는 파워패키지와 의 공정성/신뢰이 부족함.
  - 주로 가압용 소결접합 소재로 기술 개발이 진행되고 있으며, 무가압용 접합소재 개 발은 매우 기초적인 수준에 머물러 있음.

**4. 지원 필요성**

기술적 지원필요성

- 높은 동작온도를 가진 WBG 전력반도체에 대응하는 접합소재 필요
  - 파워모듈/패키지 내 반도체는 Si IGBT 등 Si 기반 전력반도체에서 높은 내전압, 낮은

저항 및 고속 스위칭이 가능한 SiC 등의 WBG 기반 전력반도체로 전환되고 있음. Si 기반 전력반도체는 최대 동작온도가 150 °C 인데 반해, SiC 등의 전력반도체는 최대 동작온도가 이론적으로 200-250°C 이상까지도 가능함. 이에 기존 접합소재인 솔더는 그 기계적 물성이 급감하므로 심각한 신뢰성 문제를 야기하게 됨.

- 현재는 주로 가압 소결접합 공정을 많이 적용하고 있으나, 가압으로 인한 파워반도체의 damage 등 잠재적인 신뢰성 문제와 가압 설비의 도입 및 금형 틀링비용 발생 등으로 소결접합 공정은 궁극적으로 무가압 공정으로 개발되고자 하며, 따라서 이에 부합하는 소결접합 소재의 개발이 필요함

□ 경제적 지원필요성

- WBG 전력반도체에 대응하는 접합소재 시장은 연평균 성장률이 10.7%로 크게 성장중임
  - WBG 전력반도체의 급격한 성장으로 인해 소결접합재 시장의 연평균 성장률은 10.7%에 이르러, 2026년에는 387M\$ 시장규모를 가질 것으로 예측됨( *“Status of the power module packaing industry”* , Yole Report (2021)).

□ 정부/정책적 지원필요성

- WBG 전력반도체용 소결접합 소재의 개발 부재로 인한 관련 국내 산업의 경쟁력 약화
  - WBG 전력반도체용 접합소재는 주로 일본, 독일을 중심으로 개발되어, 우수한 자국의 WBG 전력반도체 및 파워모듈 제조 기업에 우선 접목됨으로써 전기차 등 관련 산업에서의 경쟁력 강화 효과가 발생하고 있음.
  - 국내의 경우, WBG 전력반도체용 접합소재 개발 연구가 선진국 대비 상대적으로 늦었으며, 개발 소재 조차 수요업체를 통한 검증·평가가 원활하지 않은 상황이므로 정부 지원을 통해 산·학·연의 유기적인 협력 체계 구축이 요구됨.

**5. 활용방안 및 기대효과**

□ 활용방안

- (WBG 파워반도체/모듈 기업) 고온동작을 요구하는 WBG(SiC, GaN 등) 소자를 패키지/모듈화하는 기업에 개발 무가압 소결접합 소재를 공급하여 고성능 WBG 파워패키지/모듈의 궁극적 국산화 및 경쟁력 강화에 이바지함.
- (xEV 등 차세대 모빌리티 기업) SiC 파워반도체가 적용가능한 xEV용 전력변환 시스템에 고내구·저단가 파워반도체/파워모듈 공급이 가능하므로 WBG의 국내 적용확대를 꾀할 수 있음.
- (신재생에너지 등 그린에너지 기업) 소결접합이 적용된 WBG 적용 파워패키지/모듈의 보급을 통한 효율 향상으로 그린에너지 기업의 에너지 효율을 개선시키고, 온실가스 감축 목표 달성에도 간접적으로 기여함.

□ 기술적 기대효과

- 고가의 Ag 분말을 저감하면서 무가압 고속소결 접합소재를 개발함과 동시에, 칩 접합공정의 단순화로 인한 생산성 향상 및 가압소결 접합장비를 사용하지 않아 파워패키지(or 파워모듈)의 설계 자유도가 높아짐.

□ 경제적 기대효과

- 고가의 Ag 분말을 저감하면서 무가압 고속소결 접합소재를 통해 상대적으로 저가의 접합소재 및 접합공정을 확보할 수 있으며, 가압소결 장비 투자를 하지 않아 파워패키지 및 모듈 제조에서의 경쟁력을 확보할 수 있음.

기타 사회·문화적 측면의 기대효과 및 파급효과

- 선진국(美·日·獨) 중심의 반도체 소재 편중에서 벗어나 차세대 화합물 반도체 산업의 독자적인 국내 생태계 구축에 이바지.

규제개선 요구사항

- 해당사항 없음

#### 6. 지원기간/예산/추진체계

- 기간: 45개월 이내(1차년도 개발기간: 9개월, 2차년도: 12개월, 3차년도: 12개월, 4차년도: 12개월)
- 정부출연금: '24년 10억원 이내(총 정부출연금 46억원 이내)
- 주관기관: 중소·중견 기업
- 기술료 징수여부: 징수
- 기타 : 해외기관 참여 필수

관리번호	화합물소재-지정-02		산업 기술 분류	중분류 I		중분류 II																																						
과제유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품			반도체소자 및 시스템		중전기																																						
융합유형	<input checked="" type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input type="checkbox"/> 해당없음																																											
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 원스톱형 <input type="checkbox"/> 통합형 <input checked="" type="checkbox"/> 초격차																																											
R&D 자율성특약유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)																																											
과제명	고출력 SiC 파워모듈용 절연-냉각 일체형			품목코드 (HSK10)	류	호	소호	통계부호																																				
	고방열 Integrated substrate 소재 기술 (TRL : [시작] 4단계 ~ [종료] 7단계)								8	5	4	2	3	3	4	0	9	0																										
1. 개념 및 정의																																												
<ul style="list-style-type: none"> <li>○ 차세대 고효율 고출력 파워모듈 패키지 구현을 위해 직접 냉각 (Direct cooling) 방식 및 양면 냉각 (Double side cooling) 방식이 가능한 모듈 제작 기술 <ul style="list-style-type: none"> <li>- 세라믹/금속 적층 방열 기판과 금속 베이스 플레이트 기판의 일체화 기술 개발을 통해 파워모듈 두께 및 무게 절감과 파워칩에서 발생된 열의 효과적인 제거를 통한 성능 극대화 핵심 기술 개발</li> </ul> </li> </ul>																																												
2. 연구목표 및 내용																																												
<input type="checkbox"/> 최종 목표 <ul style="list-style-type: none"> <li>○ 고출력 SiC 파워모듈용 절연-냉각 일체형 고방열 기판 소재 기술 개발 <ul style="list-style-type: none"> <li>- 금속/세라믹/금속 적층 방열 기판과 금속 pin-fin 냉각 기판 일체화 기술</li> <li>- 고방열 및 고내구 신뢰성 기판 설계 및 적층 제조 기술</li> <li>- 세라믹 방열 기판과 냉각핀 금속 base-plate가 일체화된 기판 접합 기술</li> <li>- 절연-냉각 일체화 기판 적용 전력 모듈 설계/제조기술 및 신뢰성 평가/검증</li> </ul> </li> </ul>																																												
<input type="checkbox"/> 정량적 목표 <table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <thead> <tr> <th colspan="2">핵심 기술/제품 성능지표</th> <th>단위</th> <th>달성목표</th> <th>국내 최고 수준</th> <th>세계최고수준 (보유국, 기업/기관명)</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>열전도도* (일체화 기판)</td> <td>W/m·K</td> <td>≥ 95</td> <td>없음</td> <td>90 W/m·K (독일, Curamik)</td> </tr> <tr> <td>2</td> <td>접합부 기공 분율** (일체화 기판 접합면적대비)</td> <td>%</td> <td>≤ 3%</td> <td>없음</td> <td>3 % (일본, Hitachi)</td> </tr> <tr> <td>3</td> <td>일체화 기판 Warpage</td> <td>%</td> <td>≤ 0.5%</td> <td>없음</td> <td>0.5 % (일본, Hitachi)</td> </tr> <tr> <td>4</td> <td>열충격 신뢰성*** (일체화기판,-40~150°C기준)</td> <td>cycles</td> <td>≥ 2000</td> <td>없음</td> <td>2000 (일본, Hitachi)</td> </tr> <tr> <td>5</td> <td>파워모듈(or PKG) 열충격 시험(-40~150°C)****</td> <td>cycles</td> <td>≥ 1000</td> <td>없음</td> <td>1000 (일본, Hitachi)</td> </tr> </tbody> </table>									핵심 기술/제품 성능지표		단위	달성목표	국내 최고 수준	세계최고수준 (보유국, 기업/기관명)	1	열전도도* (일체화 기판)	W/m·K	≥ 95	없음	90 W/m·K (독일, Curamik)	2	접합부 기공 분율** (일체화 기판 접합면적대비)	%	≤ 3%	없음	3 % (일본, Hitachi)	3	일체화 기판 Warpage	%	≤ 0.5%	없음	0.5 % (일본, Hitachi)	4	열충격 신뢰성*** (일체화기판,-40~150°C기준)	cycles	≥ 2000	없음	2000 (일본, Hitachi)	5	파워모듈(or PKG) 열충격 시험(-40~150°C)****	cycles	≥ 1000	없음	1000 (일본, Hitachi)
핵심 기술/제품 성능지표		단위	달성목표	국내 최고 수준	세계최고수준 (보유국, 기업/기관명)																																							
1	열전도도* (일체화 기판)	W/m·K	≥ 95	없음	90 W/m·K (독일, Curamik)																																							
2	접합부 기공 분율** (일체화 기판 접합면적대비)	%	≤ 3%	없음	3 % (일본, Hitachi)																																							
3	일체화 기판 Warpage	%	≤ 0.5%	없음	0.5 % (일본, Hitachi)																																							
4	열충격 신뢰성*** (일체화기판,-40~150°C기준)	cycles	≥ 2000	없음	2000 (일본, Hitachi)																																							
5	파워모듈(or PKG) 열충격 시험(-40~150°C)****	cycles	≥ 1000	없음	1000 (일본, Hitachi)																																							
<p>* 절연-냉각 일체형 기판(금속/세라믹/금속 적층기판, 냉각핀 제외)의 열전도도  ** 절연판/냉각판-계면 접합부 기공분율  *** 절연판/냉각판 계면 박리가 일어나지 않는 열충격온도사이클 신뢰성  **** 열충격 시험 후, 모듈/PKG 열저항 변화가 초기대비 20% 이하일 것</p>																																												
<input type="checkbox"/> 개발 내용 <ul style="list-style-type: none"> <li>○ 금속/세라믹/금속 적층 방열 기판과 금속 pin-fin 냉각 기판 일체화 기술 <ul style="list-style-type: none"> <li>- 일체화 기판 적용 가능 금속 pin-fin 냉각 기판 설계 및 제조 기술 개발</li> <li>- 세라믹 방열 기판과 냉각핀 금속 base-plate가 일체화된 이중소재 기판 접합 기술 개발</li> </ul> </li> </ul>																																												

- 파이롯트급 일체화 절연-냉각기관 양산기술 개발
- 절연-냉각 일체형 기관설계 및 파워모듈(or PKG) 검증
  - 고방열 및 고내구 신뢰성 기관 설계 및 적층 접합 제조 기술
  - 고강도 절연-냉각 기관 적용을 위한 파워모듈 설계 및 공정기술 개발
  - 절연-냉각 일체형 기관이 적용된 파워모듈(or PKG) 내구 신뢰성 평가

□ TRL 핵심기술요소(CTE)

핵심 기술요소		최종단계	생산수준 또는 결과물	시험평가 환경
1	고방열 고내구성 절연-냉각 일체형 기관	7	절연-냉각 일체형 기관	실험실 및 현장환경
2	절연-냉각 일체형 기관 적용 고효율 SiC 파워모듈	7	절연-냉각 일체형 기관적용 고효율 SiC 파워모듈	실험실 및 현장환경

3. 국내외 기술 동향

- 해외 선진 전력반도체모듈 제조사들은 SiC 등 화합물 전력 반도체용 전력모듈에 이미 절연-냉각 일체형 기관소재를 적용하여 시제품을 출시하고 있음
  - 미쓰비시, 히타치, Dowa 등 글로벌 소재업체들이 파워모듈 업체와 협업을 진행중이며, 절연소재 및 절연-냉각 일체형 기관소재를 별도로 출시하고 있음
  - 국내 자동차 업체에서도 SiC 파워모듈 개발 시 선진사 기관을 적용하여 평가하고 있으나 고비용으로 인해 국산화 연구 및 개발을 통한 기술 내재화가 절실함
- 차세대 화합물 전력 반도체에 적합한 고방열 절연-냉각 일체형 기관소재를 제작하고 있는 국내 기업은 없으며, 모듈 제작 기업에서는 일본 소재기업으로부터 수입하여 전력 반도체 모듈 개발에 적용이 시도되고 있음.
  - 현재 국내 방열 기관 기업들은 질화물계 세라믹과 금속을 적층 접합하는 기술 위주로 연구 개발 및 제품 생산이 진행되고 있으며, pin-fin type 냉각 기관 제조 기반도 매우 취약함.

4. 지원 필요성

□ 기술적 지원필요성

- 차세대 고효율 SiC 전력반도체 모듈 적용을 위한 고방열 고신뢰성 절연-냉각 기관 기술 확보 미흡
  - 금속/세라믹/금속 적층 절연 기관과 base plate 금속 방열 기관의 접합을 위해 열계면소재 (TIM)나 솔더링 소재가 사용되고 있으나, 이종 소재간 접합 계면 증가로 인해 냉각 성능의 저하 요인으로 작용되고 있으며, 장기간 실 사용중 신뢰성 이슈가 발생되고 있어 개선이 필요함.
  - 고효율 SiC 소자를 적용하기 위해서는 고온에서 작동되는 전력 모듈의 냉각 성능 극대화가 필요하며, 이들 기술 구현을 위해서는 분리되어 적용되어 온 절연-냉각 기관의 일체화 기술 개발이 필요함.

□ 경제적 지원필요성

- SiC 전력반도체에 대응하는 절연 및 방열 기관소재 시장은 연평균 성장률이 약10%로 고성장이 예상됨
  - 파워모듈 소재 시장은 2022년 약 2.4B\$에서 연평균 10%씩 성장하여 2028년 약4.1B\$

시장규모를 가질 것으로 예측됨 (“Status of the power module packaging industry”, yole report (2023))

- 절연 및 방열 기관 시장의 경우, 2022년 각각 547M\$ 및 585M\$에서 연평균 8% 및 9%씩 성장하여 2028년 각 873M\$ 및 987M\$ 시장규모를 가질 것으로 예상됨

정부/정책적 지원필요성

- 국내 화합물 파워반도체 산업 생태계 육성을 위한 정부 주도의 SiC 파워모듈용 핵심 소재 자립화가 필수적임
- 현재 SiC 파워모듈은 상용화 초기 단계로써, 전력 모듈 제조 기관과의 협업을 통해 정부 주도의 산·학·연 기술개발로 실질적인 제품화가 시급히 필요함
- 전통적인 반도체 분야와 마찬가지로, 신규 파워 반도체 모듈 개발에 있어서 핵심 첨단 소재의 자립화 구현 없이 모듈 개발이 진행된다면, 소재의 해외 의존도가 심화될 수 있으며, 글로벌 가격 경쟁력을 갖추기가 어렵기 때문에, 관련 핵심 소재 분야의 정부 지원이 절실히 요구됨

**5. 활용방안 및 기대효과**

활용방안

- (차세대 화합물 파워반도체/모듈 기업) 고방열이 필요한 차세대 화합물 파워반도체를 패키지/모듈화하는 기업에 공급하여 핵심소재의 국내 공급망 확보에 따른 재료비 안정화로 대외 가격 경쟁력 확보
- (xEV 등 차세대 모빌리티 기업) SiC 파워반도체가 적용되는 xEV용 전력변환시스템에 고방열 SiC 파워반도체/파워모듈 공급이 가능하여 모빌리티 성능 및 기술 경쟁력 확보 가능.

기술적 기대효과

- 첨단 전력반도체 패키징에 사용되는 핵심 절연/방열 일체형 기관 개발 및 이들 기관 소재가 적용된 전력 모듈 제작 기술 확보를 통한 국내 기술 자립화 및 대외 국가 경쟁력 확보 가능
- 첨단 기관 기술 확보를 통한 국내 전력반도체 모듈 및 차량용 부품 제조 기업으로의 빠른 확산을 통한 관련 모듈 성능 극대화 및 대외 경쟁력 있는 기술 개발 확보 가능

경제적 기대효과

- 수입에 의존해 오던 차세대 핵심 절연/방열 일체형 기관 개발을 통한 수입 대체 효과 및 해외 수출 증대를 통한 글로벌 절연 및 방열 기관 시장 진출
- 절연/방열 일체형 기관 기술 확보를 통한 국내 전력반도체 모듈 제조 기업과의 연계를 통한 국내 밸류 체인 확립

규제개선 요구사항(규제개선 과제 해당되는 경우)

- 해당사항 없음

**6. 지원기간/예산/추진체계**

- 기간: 45개월 이내(1차년도 개발기간: 9개월, 2차년도: 12개월, 3차년도: 12개월, 4차년도: 12개월)
- 정부출연금 : ‘24년 10.8억원 이내 (총 정부출연금 49.8억원 이내)
- 주관기관 : 중소·중견 기업
- 기술료 징수여부 : 징수

관리번호	화합물소재-지정-03	산업 기술 분류	중분류 I	중분류 II																																																																											
과제유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품		반도체소자 및 시스템	중전기																																																																											
융합유형	<input checked="" type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input type="checkbox"/> 해당없음																																																																														
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 원스톱형 <input type="checkbox"/> 통합형 <input checked="" type="checkbox"/> 초격차																																																																														
R&D 자율성트랙유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)																																																																														
과제명	고도화 가공 기술을 이용한 전력반도체 용 고평탄/고청정/대구경 SiC Wafer 기 판 제조 기술 개발 (TRL : [시작] 3단계 ~ [종료] 7단계)	품목코드 (HSK10)	류	호	소호	통계부호																																																																									
			9 0	3 0	9 0	1 0 0 0																																																																									
<b>1. 개념 및 정의</b>																																																																															
<ul style="list-style-type: none"> <li>고순도의 다결정 SiC 파우더로부터 승화, 결정성장, 절단, 연마, 세정 과정을 거쳐 제조된 SiC 단결정 웨이퍼 개발           <ul style="list-style-type: none"> <li>고전압용 전력반도체 기판 소재의 대구경화(200mm) 및 고품질화를 위한 핵심기술 개발</li> </ul> </li> </ul>																																																																															
<b>2. 연구목표 및 내용</b>																																																																															
<input type="checkbox"/> 최종 목표 <ul style="list-style-type: none"> <li>150mm SiC 폴리시드 웨이퍼 고품질화</li> <li>고품질 200mm SiC 폴리시드 웨이퍼 개발           <ul style="list-style-type: none"> <li>고전압용 전력반도체 기판 소재의 대구경화(200mm) 및 고품질화를 위한 기술 개발</li> </ul> </li> <li>정량적 목표           <ul style="list-style-type: none"> <li>150mm SiC 웨이퍼 고품질화 및 200mm SiC 폴리시드 웨이퍼 개발</li> </ul> </li> </ul>																																																																															
<table border="1"> <thead> <tr> <th colspan="2">핵심 기술/제품 성능지표</th> <th>단위</th> <th>구경</th> <th>달성 목표</th> <th>국내 최고 수준</th> <th>세계최고수준 (보유국, 기업/기관명)</th> </tr> </thead> <tbody> <tr> <td rowspan="2">1</td> <td rowspan="2">Bow/Warp</td> <td rowspan="2">um</td> <td>150mm</td> <td>20/40</td> <td>0/15</td> <td>0/10</td> </tr> <tr> <td>200mm</td> <td>45/50</td> <td>-</td> <td>-</td> </tr> <tr> <td rowspan="2">2</td> <td rowspan="2">SBIR/SFQR</td> <td rowspan="2">um</td> <td>150mm</td> <td>1.9/0.75</td> <td>1.4/0.9</td> <td>1.2/0.8</td> </tr> <tr> <td>200mm</td> <td>3.0/1.0</td> <td>-</td> <td>-</td> </tr> <tr> <td rowspan="2">3</td> <td rowspan="2">Edge Chipping</td> <td rowspan="2">EA</td> <td>150mm</td> <td>0</td> <td>&lt;1 (over 500um length)</td> <td>&lt;1 (over 500um length)</td> </tr> <tr> <td>200mm</td> <td>0</td> <td>-</td> <td>-</td> </tr> <tr> <td rowspan="2">4</td> <td rowspan="2">표면거칠기</td> <td rowspan="2">nm</td> <td>150mm</td> <td>&lt;2</td> <td>5.8</td> <td>4.5</td> </tr> <tr> <td>200mm</td> <td>&lt;2</td> <td>-</td> <td>-</td> </tr> <tr> <td rowspan="2">5</td> <td rowspan="2">Scratch</td> <td rowspan="2">mm</td> <td>150mm</td> <td>&lt;50</td> <td>-</td> <td>150</td> </tr> <tr> <td>200mm</td> <td>&lt;50</td> <td>-</td> <td>-</td> </tr> <tr> <td rowspan="2">6</td> <td rowspan="2">Metal Contamination</td> <td rowspan="2">atoms/ cm<sup>2</sup></td> <td>150mm</td> <td>1 x e<sup>11</sup></td> <td>-</td> <td>1 x e<sup>11</sup></td> </tr> <tr> <td>200mm</td> <td>1 x e<sup>11</sup></td> <td>-</td> <td>-</td> </tr> </tbody> </table>							핵심 기술/제품 성능지표		단위	구경	달성 목표	국내 최고 수준	세계최고수준 (보유국, 기업/기관명)	1	Bow/Warp	um	150mm	20/40	0/15	0/10	200mm	45/50	-	-	2	SBIR/SFQR	um	150mm	1.9/0.75	1.4/0.9	1.2/0.8	200mm	3.0/1.0	-	-	3	Edge Chipping	EA	150mm	0	<1 (over 500um length)	<1 (over 500um length)	200mm	0	-	-	4	표면거칠기	nm	150mm	<2	5.8	4.5	200mm	<2	-	-	5	Scratch	mm	150mm	<50	-	150	200mm	<50	-	-	6	Metal Contamination	atoms/ cm <sup>2</sup>	150mm	1 x e <sup>11</sup>	-	1 x e <sup>11</sup>	200mm	1 x e <sup>11</sup>	-	-
핵심 기술/제품 성능지표		단위	구경	달성 목표	국내 최고 수준	세계최고수준 (보유국, 기업/기관명)																																																																									
1	Bow/Warp	um	150mm	20/40	0/15	0/10																																																																									
			200mm	45/50	-	-																																																																									
2	SBIR/SFQR	um	150mm	1.9/0.75	1.4/0.9	1.2/0.8																																																																									
			200mm	3.0/1.0	-	-																																																																									
3	Edge Chipping	EA	150mm	0	<1 (over 500um length)	<1 (over 500um length)																																																																									
			200mm	0	-	-																																																																									
4	표면거칠기	nm	150mm	<2	5.8	4.5																																																																									
			200mm	<2	-	-																																																																									
5	Scratch	mm	150mm	<50	-	150																																																																									
			200mm	<50	-	-																																																																									
6	Metal Contamination	atoms/ cm <sup>2</sup>	150mm	1 x e <sup>11</sup>	-	1 x e <sup>11</sup>																																																																									
			200mm	1 x e <sup>11</sup>	-	-																																																																									
*세계최고수준은 SK실트론 BM결과임. (미국보안법에 의하여 보유국, 기업/기관명 기입 불가)																																																																															
<input type="checkbox"/> 개발 내용 <ul style="list-style-type: none"> <li>고속/저 데미지 웨이퍼 절단 기술 확보</li> </ul>																																																																															

- 와이어 주행 속도와 다이아몬드 슬러리 조성 최적화
  - \* 다이아몬드 파우더에 따른 평탄도 특성 평가
  - \* 잉곳 절단 시 사용되는 오일 특성에 따른 평탄도 특성 평가
  - \* 와이어 주행 속도에 따른 평탄도 특성 평가
  - \* 슬러리 특성에 따른 평탄도 특성 평가
- 웨이퍼 에지 가공 기술 개발
  - 에지 가공 방법에 따른 에지 칩핑 발생 메카니즘 분석
    - \* 수평 가공 방식과 수직가공 방식 비교
    - \* 가공 휠 디자인 개선을 통한 에지 가공기술 개발
    - \* 휠 다이아몬드 사이즈에 따른 에지 제어기술 확보
- 고 경도 CMP Process 기술 개발
  - 더블 사이드 폴리싱 가공 프로세스 고도화
    - \* 케리어 재질 개선을 통한 평탄도 확보
    - \* 두께, 홀 디자인 개발을 통한 평탄도 확보
    - \* 폴리싱 패드에 발생하는 Clazing 저감 프로세스 개발
    - \* 웨이퍼 전면/후면의 연삭량 비율 제어
- SiC 웨이퍼 세정을 위한 고청정 세정액 및 세정기술 개발
  - SiC 기판 표면 잔여물 제거를 위한 메카니컬 세정기술 개발
  - SiC 기판 산화제 및 식각제 연구
  - 파티클/오염 제거를 위한 세정액 연구
  - 금속/유기물/파티클 각 오염원 제거를 위한 세정기술 개발
    - \* SiC 기판에 부착된 각 오염원과 세정액 간의 반응성 연구/개발

□ TRL 핵심기술요소(CTE)

핵심 기술요소		최종단계	생산수준 또는 결과물	시험평가 환경
1	Bow/Warp	7	200mm : 45/50um	자체 평가 -측정장비 : TROPEL
			150mm : 20/40um	
2	SBIR/SFQR	7	200mm : 3.0/1.0um	자체 평가 -측정장비 : TROPEL
			150mm : 1.9/0.75um	
3	Edge Chipping	7	200mm : 0 ea	자체 평가 -측정장비 : ESIS
			150mm : 0 ea	
4	표면거칠기	7	200mm : <2nm	자체 평가 -측정장비 : AFM
			150mm : <2nm	
5	Scratch	7	200mm : <50mm	자체 평가 -측정장비 : Candela 8520
			150mm : <50mm	
6	Metal Contamination	7	200mm : $1 \times 10^{11}$ atoms/cm <sup>2</sup>	자체 평가 -측정장비 : T-XRF
			150mm : $1 \times 10^{11}$ atoms/cm <sup>2</sup>	

3. 국내외 기술 동향

- 국내동향
  - 이미 상용 기술인 Si기반의 IGBT, MOSFET 시장은 성장도나 기술 중요도가 점점 낮아지고 있으며, 신규 시장인 SiC, GaN 등 화합물 반도체가 대체하는 추세임
  - SiC 기반 스위칭 소자는 주로 전기차용 인버터 시스템 등에 적용되도록 1.2 및 1.7kV급 소자 위주로 개발이 이루어져 상용화되고 있는 상황임.
- 국외동향
  - 미국, 유럽, 일본은 '14년부터 전력반도체 개발을 위한 대규모 투자 및 기술개발을 진행중에 있으며, 특히 활발한 M&A 및 협력을 통해 전력반도체 벨류체인(웨이퍼-설

계/제조)의 수직 계열화를 추진중에 있음.

#### 4. 지원 필요성

- 기술적 지원필요성
  - SiC 전력반도체 시장 선점을 위한 고평탄, 무결함 SiC 웨이퍼 제조기술 개발 필요
    - 6→8인치로 대구경화 되고 있는 시점에서 기판 평탄도 및 에지 결함, 청정도 제어 기술 확보는 8인치 웨이퍼 시장 점유율 확보의 핵심 인자로 보고 있음.
- 경제적 지원필요성
  - 2018년 Tesla가 Model3에 전력반도체를 처음 도입한 이 후 전체 전기차의 1/3이 SiC 전력반도체를 채용중에 있으며, 오는 2025년에는 60%수준까지 상승 예상됨.
- 정부/정책적 지원필요성
  - 전력반도체용 SiC 웨이퍼 개발 부재로 인한 관련 국내 산업의 경쟁력 약화
    - SiC 웨이퍼는 기존 대비 높은 기술적 난이도로 진입장벽이 높으며 SiC 웨이퍼 시장에서 60%이상의 점유율을 선진국들에서 차지하고 있는 상황임에 따라 정부차원에서 SiC 웨이퍼 제조기술 자립화를 위한 지원이 필수인 상황임.

#### 5. 활용방안 및 기대효과

- 활용방안
  - 전기차, 신재생에너지, 철도산업, IoT 등 파워반도체 응용 분야 기술 적용
- 기술적 기대효과
  - 품질 기술력 확보를 통한 산업계 전반의 효율 증대 및 손실률 감소제품 견인 가능.
- 경제적 기대효과
  - 고온동작이 가능한 WBG 파워반도체가 탑재된 차세대 파워패키지/모듈에 필수적으로 사용되는 핵심소재를 개발하여 WBG 파워패키지/모듈 상용화를 앞당길 수 있는 토대를 마련하여 WBG 관련 사업 추진을 촉진함.
- 기타 사회·문화적 측면의 기대효과 및 파급효과
  - 디지털 경제로의 전환이 가속화 되면서 발생하는 자율주행차, 인공지능, 고성능 컴퓨팅, 5G~6G통신 등 SiC 전력반도체 수요 대응.
  - 전력반도체용 기판소재 개발(효율/성능 개선)을 통한 온실가스 감축 기여.
- 규제개선 요구사항
  - 해당사항 없음

#### 6. 지원기간/예산/추진체계

- 기간 : 57개월 이내 (1차년도 개발기간 : 9개월, 2~5차년도 : 12개월) (1단계 33개월, 2단계 24개월)
- 정부출연금 : '24년 8.5억원 이내(총 정부출연금 49.1억원 이내)
- 주관기관 : 영리기관
- 기술료 징수여부 : 징수

관리번호	화합물소재-지정-04	산업 기술 분류	중분류 I		중분류 II																																						
과제유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품		반도체소자 및 시스템		중전기																																						
융합유형	<input checked="" type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input type="checkbox"/> 해당없음																																										
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input checked="" type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input checked="" type="checkbox"/> 초격차																																										
R&D 자율성트랙유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)																																										
과제명	전기차의 전력변환 장치 적용을 위한 SiC 전력반도체용 계면 결함이 개선된 고품질 6인치 & 8인치 Multi Epi 성장 기술개발 (TRL : [시작] 3단계 ~ [종료] 7단계)		품목코드 (HSK10)	류	호	소호	통계부호																																				
				9 0	3 0	9 0	1 0 0 0																																				
<b>1. 개념 및 정의</b>																																											
<ul style="list-style-type: none"> <li>○ 국내 전력반도체 산업의 성장을 위한 SiC 전력반도체 소재의 차세대 Epitaxy 핵심기술 확보 <ul style="list-style-type: none"> <li>- SiC 전력반도체 시장 성장에 따른 기술 경쟁력 확보를 위한 다층 도핑 Epitaxy 증착 기술 개발 기반 6인치/8인치 SiC Epi 기술</li> <li>- SiC Epitaxy 공정 중 결정 간의 불일치로 인해 발생하는 결함(Defect)을 최소화하고, 평탄도 및 농도의 균일성을 갖는 고전압용 고품질(두께 균일도 ≤ 6%, 도핑농도 균일도 ≤ 10%, 6인치 기준)의 6인치와 8인치 SiC Epitaxy 핵심 기술 개발</li> </ul> </li> </ul>																																											
<b>2. 연구목표 및 내용</b>																																											
<input type="checkbox"/> 최종 목표																																											
<ul style="list-style-type: none"> <li>○ 전기차의 전력변환장치 적용을 위한 SiC 전력반도체용 계면 결함이 개선된 2개 층 이상의 도핑 농도를 갖춘 6인치/8인치 Multi Epitaxy(Buffer Layer 제외) 공정 기술개발</li> </ul>																																											
<input type="checkbox"/> 정량적 목표																																											
<table border="1"> <thead> <tr> <th>핵심 기술/제품 성능지표</th> <th>단위</th> <th>달성목표</th> <th>국내 최고 수준</th> <th>세계최고수준 (보유국, 기업/기관명)</th> </tr> </thead> <tbody> <tr> <td rowspan="2">1 다층 Epi Layer</td> <td rowspan="2">Layer 수</td> <td>6인치 : 3개 이상</td> <td rowspan="2">없음</td> <td>6인치 3 Layer (미국, 온세미)</td> </tr> <tr> <td>8인치 : 2개 이상</td> <td>-</td> </tr> <tr> <td rowspan="2">2 Epi 층 두께 균일도</td> <td rowspan="2">%</td> <td>6인치 : 6% 이하</td> <td>10% 이하</td> <td>6% 이하 (일본, Showa Denko)</td> </tr> <tr> <td>8인치 : 8% 이하</td> <td>없음</td> <td>-</td> </tr> <tr> <td rowspan="2">3 도핑 농도 균일도</td> <td rowspan="2">%</td> <td>6인치 : 10% 이하</td> <td>15% 이하</td> <td>10% 이하 (일본, Showa Denko)</td> </tr> <tr> <td>8인치 : 15% 이하</td> <td>없음</td> <td>-</td> </tr> <tr> <td rowspan="2">4 Epi 층 결정 결함 밀도</td> <td rowspan="2">ea/cm<sup>2</sup></td> <td>6인치 : 3ea/cm<sup>2</sup> 이하</td> <td>10 ea/cm<sup>2</sup></td> <td>3ea/cm<sup>2</sup> 이하 (일본, Showa Denko)</td> </tr> <tr> <td>8인치 : 5ea/cm<sup>2</sup> 이하</td> <td>없음</td> <td>-</td> </tr> </tbody> </table>								핵심 기술/제품 성능지표	단위	달성목표	국내 최고 수준	세계최고수준 (보유국, 기업/기관명)	1 다층 Epi Layer	Layer 수	6인치 : 3개 이상	없음	6인치 3 Layer (미국, 온세미)	8인치 : 2개 이상	-	2 Epi 층 두께 균일도	%	6인치 : 6% 이하	10% 이하	6% 이하 (일본, Showa Denko)	8인치 : 8% 이하	없음	-	3 도핑 농도 균일도	%	6인치 : 10% 이하	15% 이하	10% 이하 (일본, Showa Denko)	8인치 : 15% 이하	없음	-	4 Epi 층 결정 결함 밀도	ea/cm <sup>2</sup>	6인치 : 3ea/cm <sup>2</sup> 이하	10 ea/cm <sup>2</sup>	3ea/cm <sup>2</sup> 이하 (일본, Showa Denko)	8인치 : 5ea/cm <sup>2</sup> 이하	없음	-
핵심 기술/제품 성능지표	단위	달성목표	국내 최고 수준	세계최고수준 (보유국, 기업/기관명)																																							
1 다층 Epi Layer	Layer 수	6인치 : 3개 이상	없음	6인치 3 Layer (미국, 온세미)																																							
		8인치 : 2개 이상		-																																							
2 Epi 층 두께 균일도	%	6인치 : 6% 이하	10% 이하	6% 이하 (일본, Showa Denko)																																							
		8인치 : 8% 이하	없음	-																																							
3 도핑 농도 균일도	%	6인치 : 10% 이하	15% 이하	10% 이하 (일본, Showa Denko)																																							
		8인치 : 15% 이하	없음	-																																							
4 Epi 층 결정 결함 밀도	ea/cm <sup>2</sup>	6인치 : 3ea/cm <sup>2</sup> 이하	10 ea/cm <sup>2</sup>	3ea/cm <sup>2</sup> 이하 (일본, Showa Denko)																																							
		8인치 : 5ea/cm <sup>2</sup> 이하	없음	-																																							
<input type="checkbox"/> 개발 내용																																											
<ul style="list-style-type: none"> <li>○ SiC 전력반도체 소자용 고품질/저결함/고속 SiC Epi 웨이퍼 제조 기술개발 <ul style="list-style-type: none"> <li>- 전기차용 전력 변환 적용을 위한 SiC 전력반도체의 러기드니스(Ruggedness) 특성 개선 및 생산성 향상을 위한 고품질/저결함/고속 SiC Epi 기술 확보 필요</li> </ul> </li> </ul>																																											

- 1) 6, 8인치 Epitaxy 성장조건 확보
- 2) 다층 Epitaxy 두께 조절 및 도핑 농도 제어 기술개발
- 3) Epitaxy 두께 및 도핑 농도 균일도 향상 기술개발
- 4) 고품질 Epitaxy 고속 성장 기술개발
- 5) 6, 8인치 다층 Epitaxy 시뮬레이션을 활용한 최적 공정 도출
- 6) Wafer to Wafer 間 수율 확보

- 6인치/8인치 SiC EPI 웨이퍼 제조 생산성 확보를 위한 고분해능/고해상도 분석 기술 개발
  - (SiC Epi 결합 분석 기술개발) 6, 8인치 대응이 가능한 고성능 결합 Inspection 장비를 기반으로 한 결합 분류/분석 기술 확보
  - 비파괴기법을 이용한 SiC Epitaxy Wafer 內 결합 분석 기술 개발
  - Epi 성장 후 대면적 Epi Wafer Warpage 분석 기술 개발
  - 기판 결합 및 Epitaxy Wafer 결합 상호관계 분석
- 전력반도체 소자 제작을 통한 SiC Epi Wafer 평가 기술 확보
  - 전력반도체 소자 기업 요구 사양 기반 소자 평가 및 Epi Wafer 사양 개선 및 검증/평가 기술 개발
  - 전력반도체 소자 평가를 통한 Epi Wafer 품질 및 결합과 소자 특성의 상관관계 연구

□ TRL 핵심기술요소(CTE)

핵심 기술요소		최종단계	생산수준 또는 결과물	시험평가 환경
1	다층 Epi Layer	7	6인치 : 3개 이상	SEM/MCV/SIMS - 시험 성적서 사용 설비 : SEM ( 5 point)
			8인치 : 2개 이상	
2	Epi 층 두께 균일도	7	6인치 : 6% 이하	EIR - 시험 성적서 사용 설비 : SEM ( 5 point)
			8인치 : 8% 이하	
3	도핑 농도 균일도	7	6인치 : 10% 이하	MCV - 시험 성적서 사용 설비 : SEM ( 5 point)
			8인치 : 15% 이하	
4	Epi 층 결정 결합 밀도	7	6인치 : 3ea/cm <sup>2</sup> 이하	PL* mapping, u-PL spectroscopy, Defect Inspection 등
			8인치 : 5ea/cm <sup>2</sup> 이하	

3. 국내외 기술 동향

□ 국내 동향

- 국내에서는 1.2~1.7kV급 소자가 상용화 되는 시점에서 핵심 원자재인 SiC Epi Wafer 에 대한 국산화가 시급함
  - 국내 SiC 전력반도체 Supply-Chain 內 이미 진입한 또는 진입 중인 업체는 SK 그룹, KEC, LX Semicon, Power-Master, 파워큐브세미, 아이큐랩으로 SiC 소자에 대한 연구 개발과 일부 산업용 제품에 대한 양산이 이루어 지고 있으나 SiC Epi에 대한 부분은 SK Siltron이 인수한 Dupont CSS사업으로 SK Siltron CSS가 있으나 전문 국산 기업은 ARCHE, LXSEMICON 외 제한적임.

□ 국외 동향

- Wolfspeed, Coherent, Onsemi, STMicroelectronics 등의 글로벌 전력반도체 선도기업들은 전력반도체 用 Wafer Size 확대 중(6 → 8인치, 기술격차 및 마진 확보)
- 또한, 해외 주요 전력반도체 기업들은 웨이퍼에서 칩 제조까지 수직계열화에 집중
  - 이는 SiC Bare Wafer, Epitaxy 등의 기술이 어렵고, 소재 수율이 소자에 미치는 영향이 매우 큼에도 불구하고 안정적인 공급의 어려움이 있어, 자체적으로 Risk hedge 하

려는 의도로 파악됨

#### 4. 지원 필요성

- 기술적 지원필요성
  - 차세대 전력반도체 소재 기술격차 해소
    - SiC 전력반도체 기술은 최고 기술 보유국 대비 65~87%에 불과함. 다층 Epi 기술개발을 통해 기술격차 해소가 가능할 것으로 예상됨, 또한 기업과 연구 기관 공동 연구를 통해 국내 기술력 확보에 이바지할 것으로 판단됨
- 경제적 지원필요성
  - Multi-Epi 기반 전력반도체용 SiC 소재 수요 대응 및 국내 업계 기술개발 역량 확보
    - 다층 Epi 의 기술적 난도를 고려하면 수요 대부분은 해외 선도업체 주도로 해결될 것으로 판단됨. 본 과제를 통한 기술개발은 해당 수요에 대한 국산화와 더불어, 국내 수요 업체들의 니즈를 제때 충족시킴으로써 업계 전반적인 기술 역량 향상에 기여
  - 국내 SiC 전력반도체 분야 소재 기술개발로 공급망 내재화에 기여
    - 해외 선도기업들은 SiC 전력반도체 자체 수직계열화를 이미 구축하였거나 진행 중인 상황으로, 본 기술개발을 통해 국내 차세대 전력반도체 공급망을 구축하고 관련 기술을 내재화에 큰 도움이 될 수 있을 것으로 예상됨
- 정부/정책적 지원필요성
  - SiC 전력반도체 소재는 미국, 일본, 유럽 등 선진국에서 이미 산업 생태계가 확장하고 있으며, 글로벌 경쟁이 치열해지고 있는 상황임. 이에 SiC 전력반도체의 혁신적인 소재 기술 확보를 위한 고품질/고신뢰성 6인치/8인치 SiC Epi 기술의 내재화로 정부/정책 지원을 기반으로 한 민간 주도의 혁신 성장 기반 마련이 시급함

#### 5. 활용방안 및 기대효과

- 활용방안
  - 국내·외 전력반도체 IDM 또는 파운드리 기업의 경우, SiC 전력반도체 생산의 기반인 SiC Epitaxy Wafer 소재의 수급 안정 및 가격 조절을 위해 소재 공급사를 2~3개 운영하고자 하는 경향이 있을 뿐만 아니라, 소재 국산화를 강하게 추진하고 있는 상황에 있음. 따라서 국산 고전압 用 SiC 전력반도체 소재의 성능 및 신뢰성이 확보되면 일정 이상의 시장 점유율을 담보하는 경우가 일반적이기에 이를 기반으로 사업화 진행 가능
- 기술적 기대효과
  - 차세대 전력반도체 소재 기술격차 해소
    - 6인치/8인치 Multi Epi 국산화로 SiC 전력반도체 소재 분야에서의 기술격차 해소 및 기술 경쟁력 확보
- 경제적 기대효과 기타 사회·문화적 측면의 기대효과 및 파급효과
  - 전력반도체 적용이 가능한 관련 산업의 활성화
    - 90% 이상 수입에 의존하고 있는 전력반도체 소재 국산화를 통하여 차세대 반도체 국가 경쟁력 확보 및 다양한 산업에 효율적인 SiC 전력반도체 소재 공급
- 기타 사회·문화적 측면의 기대효과 및 파급효과
  - 글로벌 탄소 규제 대응
    - 미국, EU 등 주요국의 탄소중립 정책 시행과 탄소 국경세 도입에 따라, 국내 기업들의 생존과 경쟁력 확보를 위해 전력변환효율 향상을 통한 탄소 배출 감축에 기여
- 규제개선 요구사항(규제개선 과제 해당되는 경우)

#### 6. 지원기간/예산/추진체계

- 기간 : 57개월 이내 (1차년도 개발기간 : 9개월, 2~5차년도 : 12개월) (1단계 33개월, 2단계 24개월)

- 정부출연금 : '24년 15.7억원 이내(총 정부출연금 70.7억원 이내)
- 주관기관 : 영리기관
- 기술료 징수여부 : 징수
- 기타 : 해외기관 참여 필수

**[참고] 화합물전력반도체고도화기술개발  
실무작업반 명단**

순번	실무작업반		
	성명	소속	직위
1	장동근	세미파워렉스	대표
2	양창현	SK파워텍	소장
3	노진호	성진TS	소장
4	윤상원	서울대학교	교수
5	고상기	코닉스	연구소장
6	정순묵	SK실트론	프로
7	윤영준	안동대학교	교수
8	김종석	한양대학교	교수
9	박윤환	워프솔루션	이사
10	홍남표	국민대학교	교수

### ③ 화합물전력반도체고도화기술개발 (파워IC)

관리번호	화합물파워-지정-01	산업 기술 분류	중분류 I		중분류 II																																					
과제유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품		반도체소자 및 시스템		-																																					
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음																																									
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 원스톱형 <input type="checkbox"/> 통합형 <input checked="" type="checkbox"/> 초격차																																									
R&D 자율성트랙유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)																																									
과제명	디지털 정밀설정 가능한 강화절연급 고신뢰성 통합형 파워 IC 기술 개발 (TRL : [시작] 5단계 ~ [종료] 7단계)	품목코드 (HSK10)	류	호	소호	통계부호																																				
			8 5	3 2	3 1	1 0 0 0																																				
<b>1. 개념 및 정의</b>																																										
<ul style="list-style-type: none"> <li>○ SiC용 전력 구동 IC 고도화 개발           <ul style="list-style-type: none"> <li>- SiC 파워소자 절연, 구동, 보호, 진단 등의 기능을 통해 시스템을 구현하며, SiC 소자의 장점을 실현하기 위한 핵심 기술 개발</li> <li>* SiC 소자 적용 전력 변환 시스템에서 전력 구조에 따른 고효율/경량화 설계가 가능한 산업용 게이트 구동 IC 설계 기술 개발 - 강화절연급 고신뢰성 게이트 드라이버 및 절연 인터페이스를 통한 동작 설정, 보호, 진단 기능을 포함하는 지능형 게이트 구동 기술 개발</li> </ul> </li> </ul>																																										
<b>2. 연구목표 및 내용</b>																																										
<input type="checkbox"/> 최종 목표																																										
<ul style="list-style-type: none"> <li>○ 디지털 정밀 설정 가능한 강화절연급 고신뢰성 통합형 파워 IC 기술           <ul style="list-style-type: none"> <li>- 고신뢰 대전력 시스템에서 전력 소자의 동작모드와 보호옵션 설정 및 진단 가능한 디지털 인터페이스(I2C 등)와 지능형 게이트 구동단 구조를 갖는 통합형 절연 게이트 구동 기술 개발</li> </ul> </li> <li>○ 정량적 목표</li> </ul>																																										
<table border="1"> <thead> <tr> <th></th> <th>핵심 기술/제품 성능지표</th> <th>단위</th> <th>달성목표</th> <th>국내최고 수준</th> <th>세계최고수준 (보유국, 기업/기관명)</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>Output currentsink / source</td> <td>A</td> <td>+9 / -9</td> <td>-</td> <td>+9 / -9 (독일, 인피니언)</td> </tr> <tr> <td>2</td> <td>CH to CH 절연 전압</td> <td>V</td> <td>2000</td> <td>-</td> <td>1500 (독일, 인피니언)</td> </tr> <tr> <td>3</td> <td>Propagation delay mismatching CH to CH Chip to Chip</td> <td>nsec</td> <td>+3 +6 / -5</td> <td>-</td> <td>+3 +7 / -6 (독일, 인피니언)</td> </tr> <tr> <td>4</td> <td>절연내압 (VISO)</td> <td>V</td> <td>5700</td> <td>-</td> <td>5700 (독일, 인피니언)</td> </tr> <tr> <td>5</td> <td>공통모드과도내성 (CMTI)</td> <td>KV/ uSec</td> <td>200</td> <td>-</td> <td>150 (독일, 인피니언)</td> </tr> </tbody> </table>								핵심 기술/제품 성능지표	단위	달성목표	국내최고 수준	세계최고수준 (보유국, 기업/기관명)	1	Output currentsink / source	A	+9 / -9	-	+9 / -9 (독일, 인피니언)	2	CH to CH 절연 전압	V	2000	-	1500 (독일, 인피니언)	3	Propagation delay mismatching CH to CH Chip to Chip	nsec	+3 +6 / -5	-	+3 +7 / -6 (독일, 인피니언)	4	절연내압 (VISO)	V	5700	-	5700 (독일, 인피니언)	5	공통모드과도내성 (CMTI)	KV/ uSec	200	-	150 (독일, 인피니언)
	핵심 기술/제품 성능지표	단위	달성목표	국내최고 수준	세계최고수준 (보유국, 기업/기관명)																																					
1	Output currentsink / source	A	+9 / -9	-	+9 / -9 (독일, 인피니언)																																					
2	CH to CH 절연 전압	V	2000	-	1500 (독일, 인피니언)																																					
3	Propagation delay mismatching CH to CH Chip to Chip	nsec	+3 +6 / -5	-	+3 +7 / -6 (독일, 인피니언)																																					
4	절연내압 (VISO)	V	5700	-	5700 (독일, 인피니언)																																					
5	공통모드과도내성 (CMTI)	KV/ uSec	200	-	150 (독일, 인피니언)																																					
<input type="checkbox"/> 개발 내용																																										
<ul style="list-style-type: none"> <li>○ SiC 구동용 고성능 부가 기능이 탑재된 산업용 기본(basic)절연급 게이트구동 IC 개발 (하프브리지(half-bridge) 혹은 듀얼채널(dual channel) 형태로 개발)</li> </ul>																																										

- 고속 하프브리지 파워 토폴로지(topology)에 적합한 DT(dead time) 조정 및 스위칭 시간 지연매칭 최소화 기능이 포함된 듀얼 채널 절연 게이트 구동 IC 개발
- 전력 소자 스위칭 시 on/off time에 대한 지연매칭(delay matching) 및 다중 채널(channel) IC 간 스위칭 시간 스큐(skew) 최소화 기술 개발
- SiC 구동용 강화(reinforced)절연급 고신뢰 및 통합형 절연 게이트구동 IC 개발 (싱글 타입 제품 개발)
  - 전력 소자의 on/off를 처리를 위한 절연 처리 및 온도 등 아날로그 신호처리 외 정밀 기능을 처리하기 위한 인터페이스(I<sup>2</sup>C 등)에 대한 절연 신호처리 기술
  - 1700V급 높은 공통모드과도내성(CMTI >200KV/uSec) 강화 절연급 고신뢰 게이트 구동 IC
  - 전력 소자의 구동뿐만 아니라 소자의 상태, 진단, 보호 및 설정 기능 등을 가지는 통합형 절연형 게이트 구동 IC 개발
  - 고전압 응용에서 고속 스위칭에 따른 높은 dV/dt에 기인하는 오동작을 극복할 수 있는 게이트 구동 단 설계 기술 개발
  - 전력 소자의 최적 운용을 위한 소자 상태 진단 기술 개발
  - 절연 등급 상승에 따른 PWM 절연 구동 신호처리 기술 개발
  - 게이트 구동 IC의 고신뢰를 위한 고내압용 저면적 고감내 특성을 갖는 ESD 보호회로 개발

□ TRL 핵심기술요소(CTE)

핵심 기술요소		최종단계	생산수준 또는 결과물	시험평가 환경
1	강화절연급 게이트 드라이버	7	강화 절연급 게이트 구동 IC	공인 시험기관
2	Digitally configurable 한 지능형/통합형 게이트 드라이버	7	통합형 절연 게이트 구동 IC	공인 시험기관

**3. 국내외 기술 동향**

○국의 기술 동향

- 파워 IC 분야 해외 선두 업체는 구동 IC 뿐만 아니라 소자, module 및 system까지 일괄 사업을 추진하여 전반적 기술 확보 및 상용화 중임
  - \* SiC 절연 구동 IC: (독일) 인피니언, (미국) 온세미, TI, (이탈리아) STM
- 강화형 절연등급의 제품도 응용시스템의 요구된 사양에 맞게 제품을 출시하고 있으며, 일부 전력 소자의 상태/진단/보호 등의 기능을 포함한 제품 등도 출시

○국내 기술 동향

- 전력반도체 소자는 초기 단계의 제품으로 국내에서도 일부 생산되고 있으나, 게이트 구동 IC 분야는 대부분 수입에 의존하고 있음
- 대학 및 연구소에서 기본 기능을 갖는 게이트 구동 IC를 연구개발하고 있으나, 상용 제품은 없음

**4. 지원 필요성**

□ 기술적 지원필요성

- 전력반도체는 SiC등 화합물 전력 소자로 빠르게 전환되는 중으로 이를 구동하기 위한 게이트 구동 IC의 기술개발이 필요하며, 전력시스템의 높은 성능과 효율 개선을 위해서는 SiC 전력 소자 특성에 맞는 새로운 게이트 구동 IC가 필수적임
- 미국, 유럽 등 해외에서는 게이트 구동 관련 기술에 대한 연구가 활발하게 진행되고 있으나, 국내는 대학, 연구소 등에서 일부 연구되고 있으나 초기 단계임

- 산업용 인버터, xEV 등의 시장 경쟁력 및 전력반도체 시스템 성능향상과 높은 신뢰성 확보를 위해서는 게이트 구동 IC 기술개발 지원이 반드시 필요함

경제적 지원필요성

- 기존 파워 IC 반도체의 시장은 전력 개별 소자 시장규모를 상회
  - 파워 IC 반도체 시장은 2022년 298억불에서 2027년 380억불로 성장 예상(Omdia, 2021)
- 파워 IC 반도체 중 화합물 전력 소자 반도체의 성장과 동반되는 분야로 게이트 드라이버 IC 시장이 가장 큰 규모로 성장 전망
  - 게이트 드라이버 IC 시장은 2027년 28억불로 연 10.4% 성장 예상 (Omdia, 2021)

정부/정책적 지원필요성

- 세계 각국은 ‘기후변화협약’을 통해 자동차 제작사에 온실가스 감축 및 연비개선 의무를 부과함
- 세계 각국은 수소연료전지 및 전기자동차 등 친환경 핵심 기술 확보 및 강화를 위해 자발적인 노력을 유도하기 위한 정부 주도의 R&D를 병행하는 추세

**5. 활용방안 및 기대효과**

활용방안

- 모듈형 전력변환 시스템 사업 전개의 기초로 활용
- 강화절연급 절연 게이트 구동 IC 확보로 초 안전성 전력변환 장치 설계 및 사업 전개 가능
- 차세대 전력반도체의 최적 운용을 통한 전력 소자 사용 효율성 및 활성화

기술적 기대효과

- SiC 전력소자용 게이트 구동 IC 기술 확보함으로써 해외에서 수입하고 있는 국내 전력 반도체 분야에서의 해외 의존도를 낮춰 원가 절감 효과와 기술적 차별화 가능
- 절연형 게이트 구동 기술과 강화절연형 게이트 구동 기술 확보하여 산업용 인버터 시장부터 고부가가치인 xEV 시장에 진출이 가능함
- 나아가 차세대반도체 산업 전개에 활용하는 등 관련 기술에 대한 선도 및 국내외 시장 경쟁력을 확보할 수 있을 것으로 기대함

경제적 기대효과

- 에너지 효율 향상을 통한 가정용, 산업용, 운송수단 등 산업 전반의 탄소 배출 저감에 기여
- 파워 IC 분야 시장 전체 직·간접 고용창출 효과 기대

기타 사회·문화적 측면의 기대효과 및 파급효과

- 전기자동차 및 신재생에너지 산업의 차세대 기술 선점 및 시장 창출 기술 확보
- 전력반도체 IC 설계 및 상용화 연관기술 인력양성 효과 발생

규제개선 요구사항

- 해당사항 없음

**6. 지원기간/예산/추진체계**

- 기간 : 45개월 이내 (1차년도 개발기간 : 9개월, 2~4차년도 : 12개월)
- 정부출연금 : ‘24년 12.8억원 이내(총 정부출연금 65.3억원 이내)
- 주관기관 : 중소·중견 기업
- 기술료 징수여부 : 징수

관리번호	화합물파워-지정-02	산업 기술 분류	중분류 I		중분류 II																																												
과제유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품		반도체소자 및 시스템		-																																												
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음																																																
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input checked="" type="checkbox"/> 초격차																																																
R&D 자율성트랙유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)																																																
과제명	SiC 시스템용 부동전원 DC/DC컨버터 내장 저전력/절연형 단일칩 센스 앰프 기술 (TRL : [시작] 5단계 ~ [종료] 7단계)		품목코드 (HSK10)	류	호	소호	통계부호																																										
				8 5	3 2	3 1	1 0 0 0																																										
<b>1. 개념 및 정의</b>																																																	
<p>○ SiC 시스템용 부동전원 DC/DC컨버터 내장 절연형 센스 앰프</p> <ul style="list-style-type: none"> <li>- (전력부)전력용량, 응용분야, 및 응용조건에 따라 최적으로 구성되는 파워 토폴로지</li> <li>- (절연형 게이트 구동 IC) 토폴로지에 따라 구동속도, 구동 전류, 동작전압, 절연 및 보호회로 유무 등에 따라 전력소자를 최적 구동하는 절연 기능을 가지는 IC</li> <li>- (절연형 센싱 앰프 IC) 토폴로지에 따라 센싱 속도, 센싱 범위, 동작 전압, 절연 유무, 보호 회로 유무 등에 따라 전압, 전류를 센싱하는 절연형 앰프</li> <li>- (절연형 부동 전압) 절연형 구동 IC와 절연형 센스 앰프의 구동부와 센싱부에 공급되는 전원으로 동작 전원과 절연되어 있으며 부동 접지를 가지는 전원</li> <li>- (IC형 패키지) 절연기능 가능한 센스 앰프, DC/DC 제어부 및 트랜스포머 등을 단일 패키지로 조립이 가능한 리드프레임 구조를 포함 (multi-die package)</li> </ul>																																																	
<b>2. 연구목표 및 내용</b>																																																	
<input type="checkbox"/> 최종 목표 <ul style="list-style-type: none"> <li>○ 고전압 신호를 High impedance로 직결이 가능한 입력단 및 단일 전원 동작이 가능한 절연형 소용량 DC/DC 컨버터를 탑재한, 차동 모드 출력을 갖는 단일칩 강화절연급 절연형 앰프 IC 개발</li> <li>○ 정량적 목표</li> </ul>																																																	
<table border="1"> <thead> <tr> <th colspan="2">핵심 기술/제품 성능지표</th> <th>단위</th> <th>달성목표</th> <th>국내최고 수준</th> <th>세계최고수준 (보유국, 기업/기관명)</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>BandWidth</td> <td>KHz</td> <td>250</td> <td>없음</td> <td>200 (미국, TI)</td> </tr> <tr> <td>2</td> <td>Offset Drift</td> <td>uV/°C</td> <td>+/-15</td> <td>없음</td> <td>+/-20 (미국, TI)</td> </tr> <tr> <td>3</td> <td>최소 동작 전압</td> <td>V</td> <td>3.3</td> <td>없음</td> <td>3.3 (미국, TI)</td> </tr> <tr> <td>4</td> <td>DC/DC 출력 전류(외부부하)</td> <td>mA</td> <td>1.2</td> <td>없음</td> <td>1 (미국, TI)</td> </tr> <tr> <td>5</td> <td>공통모드과도내성(CMTI)</td> <td>KV/uSec</td> <td>85</td> <td>없음</td> <td>100(미국, TI)</td> </tr> <tr> <td>6</td> <td>절연내압(VISO)</td> <td>Vrms</td> <td>5000</td> <td>없음</td> <td>4250(미국, TI)</td> </tr> </tbody> </table>								핵심 기술/제품 성능지표		단위	달성목표	국내최고 수준	세계최고수준 (보유국, 기업/기관명)	1	BandWidth	KHz	250	없음	200 (미국, TI)	2	Offset Drift	uV/°C	+/-15	없음	+/-20 (미국, TI)	3	최소 동작 전압	V	3.3	없음	3.3 (미국, TI)	4	DC/DC 출력 전류(외부부하)	mA	1.2	없음	1 (미국, TI)	5	공통모드과도내성(CMTI)	KV/uSec	85	없음	100(미국, TI)	6	절연내압(VISO)	Vrms	5000	없음	4250(미국, TI)
핵심 기술/제품 성능지표		단위	달성목표	국내최고 수준	세계최고수준 (보유국, 기업/기관명)																																												
1	BandWidth	KHz	250	없음	200 (미국, TI)																																												
2	Offset Drift	uV/°C	+/-15	없음	+/-20 (미국, TI)																																												
3	최소 동작 전압	V	3.3	없음	3.3 (미국, TI)																																												
4	DC/DC 출력 전류(외부부하)	mA	1.2	없음	1 (미국, TI)																																												
5	공통모드과도내성(CMTI)	KV/uSec	85	없음	100(미국, TI)																																												
6	절연내압(VISO)	Vrms	5000	없음	4250(미국, TI)																																												
<input type="checkbox"/> 개발 내용 <ul style="list-style-type: none"> <li>○ 차동 입출력 구조 절연형 앰프 개발</li> </ul>																																																	

- 차동형 입력/출력 구조 절연 앰프 설계
- 250KHz 이상 BW가지는 절연 앰프
- Low offset drift 가지는 입력단 절연 앰프
- IC Package형 절연형 소형 DC/DC 컨버터 개발
  - 센스 앰프 부동절연 전원 공급용 다층 구조의 0.1W급 transformer
  - Drop output 전압이 0.25V 이하인 저전압 입력 LDO
  - 부동 전원 공급용 DC/DC Converter
  - 외부 공급용 DC/DC 부하 1.2mA 이하
- 강화절연급 절연 성능 평가 기술 개발
  - 기본 절연급 및 강화절연급 평가 방법 개발 및 요소기술 평가 진행
- 단일 전원으로 동작하는 강화절연급 절연형 센싱 앰프 개발
  - 단일 전원으로 동작하는 절연 앰프 (절연형 DC/DC + 절연형 센스 앰프)
  - 다층구조의 절연 구조를 가지는 Multi-chip 탑재가 가능한 IC형 Package 개발
  - 강화절연급 절연 평가 진행

TRL 핵심기술요소(CTE)

핵심 기술요소		최종 단계	생산수준 또는 결과물	시험평가 환경
1	광대역 앰프 설계	7	절연형 광대역 앰프 IC	공인 시험기관
2	전원내장형 절연 앰프 설계	7	단일 전원으로 동작하는 강화절연급 센싱 앰프	공인 시험기관

**3. 국내외 기술 동향**

- 국내 개발 현황
  - 고용량 전력변환 시스템에서 제어에 필요한 전압, 전류 감지용 절연형 센싱 앰프는 일부 정부 지원으로 개발 중이나 절연형 광대역 센싱 앰프는 상용화 되어 있지 않음.
  - 또한 2차측 절연형 부동 전원을 내장한 센싱 앰프 개발 이력은 없음.
- 해외 개발 현황
  - 고전압/전류 센싱은 측정방식, 응용형태, 감지 속도, 절연등급 등에 따라 CT (Current Transformer) 방식이나 절연형 센싱 앰프를 사용하고 있음
  - 한편, 고용량 전력 변환장치에서 게이트구동 IC나 센싱 앰프에 사용되는 부동 절연 전원을 시스템의 보조전원에서 공급하지 않고 구동 IC나 센싱 앰프에 공급되는 전원을 사용하여 자체적으로 공급할 수 있는 기술 개발이 이루어지고 있음
  - 부동 절연 전원 용량이 약 0.1W급 정도인 센스 앰프의 경우 일부 업체에서는 다층 절연방식을 이용한 DC/DC 부품, DC/DC 컨버터, 절연 센스 앰프를 하나의 패키지에 탑재한 단일칩 IC 개발이 이루어지고 있음
  - 효율은 시스템 설계의 간결화에 중점을 두고, 전원 용량도 작아서 일반적인 DC/DC 컨버터 비해서는 비중이 덜해 정격 부하에서도 40~60% 정도로 작음

**4. 지원 필요성**

- 기술적 지원필요성
  - 절연 설계가 필요한 SiC MOSFET 소자 적용 응용에서 간결, 경량 시스템 설계 필요

- 고전압/전류의 빠르고 정확한 센싱을 위한 광대역 절연형 앰프 필요
- 고효율/고밀도 전력변환 장치에서 센싱 앰프의 절연형 부동 전원 설계 간결화 필요
- 단일전원으로 동작되는 2차측 부동 전원이 내재된 절연형 센싱 앰프 확보 필요

□ 경제적 지원필요성

- SiC, GaN 소자적용 전력변환장치 성장세에 따라 구동 및 센싱 IC 수요 증가 전망
- 예로 SiC 전력 반도체 중 Full-SiC module은 2021년 1.05억\$에서 2030년 63억\$로 급성장( Omdia, 2021)
- 2021년 Full-SiC module 중 PV 인버터, HEV, 산업용 비중 순이며, 2030년에는 전력 밀도가 높은 HEV가 비중이 높을 것으로 전망되고 있음
- 산업용과 충전용도 10% 이상의 꾸준한 성장세를 유지할 것으로 전망됨.
- 구동 IC 전체는 21년 17.09억\$에서 2025년에는 24.5억\$ 성장(Omdia, 2021)이며, 절연형 구동 IC의 경우 성장세가 이보다는 클 것으로 전망
- 절연형 센싱 앰프는 명확한 시장 자료는 없으나 구동 IC 수요 이상일 것으로 판단
- 간결하고, 경량화가 가능한 고효율 솔루션은 전기차 충전기의 용량 증대에 따른 시장 확대 및 수십 KW 이하의 산업용 컨버터나 모터 응용의 신뢰성과 가격 경쟁력 등에서 유리한 고지를 점할 수 있으며, 단일 전원으로 동작하는 절연형 광대역 앰프의 증가세는 더욱 가파를 것으로 전망

□ 정부/정책적 지원필요성

- 전 산업부문에 걸친 글로벌 탄소 중립 이슈로 고효율 전력 변환 시스템 수요 증대
  - 각국에서 다양한 정부 지원책을 통한 관련 R&D 활발히 지원하고 있음
  - 국내에서도 차세대 전력반도체 육성을 위한 지원이 되고 있으나 이를 고도화하고 효과적인 사업화를 견인하기 위한 추가 R&D 지원 필요
  - 국외와는 달리 소재, 소자, IC, 모듈, 시스템 등 수직 계열화를 통한 종합적인 전력 반도체 관련 사업부재로 특화된 분야에 경쟁력이 있는 중소, 중견 기업에 정부지원을 통신속, 집중적인 기술 개발로 글로벌 경쟁력 확보 필요

**5. 활용방안 및 기대효과**

□ 활용방안

- 전기차 완속 충전기, xEV 충전기
- 산업용 컨버터 / 인버터

□ 기술적 기대효과

- 고압/고속 전력 변환시스템에서 주요 기능 중 하나인 광대역 절연 센싱 기술 확보
- 0.1W급 적층형 트랜스포머 등 절연형 DC/DC 컨버터 요소 기술 확보
- IC Package로 구현이 가능한 부동 절연 설계 기술 및 multi-chip package 기술 확보
- 단일전원으로 동작이 가능한 절연 앰프의 설계 기술
- 소용량(~1.5W급) 부동 절연 전원 설계 요소 기술로 활용 가능

□ 경제적 기대효과

- 성장 속도가 큰 화합물 반도체 소자 적용 전력 변환장치 수요 확대 기여
  - 보조 전원 설계 단순화로 고용량 전력변환 장치의 전원 설계 단순화
  - 고압/고속 전력 변환시 전원 설계의 반도체화로 저 BOM, 경량화 시스템 설계가능
  - 특히 전력밀도가 높은 전기차용 충전기용 시장에서 선점 가능

- 화합물 반도체 연관 산업간 시너지
  - 소자, IC, package, 및 system 기업 간 상생 환경 조성으로 시장 활성화 조성
  - 협업 개발로 높은 기술 완성도 및 빠른 개발 속도 가능
  - 부동전원 포함 절연형 센싱 앰프 확보로 고효율/고밀도 전력변환 장치 구성 가능
  - 화합물반도체 관련 일괄 개발체제를 갖춘 글로벌 기업과 경쟁할 수 있는 토대 마련

기타 사회.문화적 측면의 기대효과 및 파급효과

- 차세대 화합물 반도체 시장 진입 및 확대 적용을 위한 핵심 기술 확보
- 화합물 반도체 응용 및 상용화 기술의 자립
- 전력반도체 산업 국내 생산망 구축, 국가 산업경쟁력 제고 및 전력 수급 안정화
- 연관 산업 인력양성 및 고용창출

규제개선 요구사항(규제개선 과제 해당되는 경우)

- 해당사항 없음

**6. 지원기간/예산/추진체계**

- 기간 : 45개월 이내 (1차년도 :9개월, 2~4차년도 : 12개월)
- 정부출연금 : '24년 12.8억원 (총 정부출연금 65.3억원 이내)
- 주관기관 : 중소·중견 기업
- 기술료 징수여부 : 징수

관리번호	화합물과워-지정-03	산업 기술 분류	중분류 I		중분류 II																																				
과제유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품		반도체소자 및 시스템		-																																				
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음																																								
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input checked="" type="checkbox"/> 초격차																																								
R&D 자율성트랙유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)																																								
과제명	<b>모바일기기 충전 아답터용 650V GaN 컨버터 단일 IC 개발</b> (TRL : [시작] 3단계 ~ [종료] 7단계)	<b>품목코드 (HSK10)</b>	류	호	소호	통계부호																																			
			8 5	3 2	3 1	1 0 0 0																																			
<b>1. 개념 및 정의</b>																																									
<ul style="list-style-type: none"> <li>수 백 W급 모바일 충전 아답터의 성능 극대화 및 제품 소형화, 최신 고속 충전기능 제공을 위해 전력밀도를 높이고 사이즈를 최소화할 수 있는 핵심 부품인 GaN 기반 전력변환 통합 단일 IC 기술 개발</li> </ul>																																									
<b>2. 연구목표 및 내용</b>																																									
<input type="checkbox"/> 최종 목표 <ul style="list-style-type: none"> <li>고효율, 고성능, 고신뢰성 Battery Charger 구현을 위해 650 V급 GaN 소자와 구동 드라이버 및 추가 기능 회로 통합 단일 IC 기술 개발 <ul style="list-style-type: none"> <li>650 V급 GaN 소자 및 Gate 구동 드라이버 통합 단일 IC 기술 개발</li> <li>높은 전력변환 효율 및 고전력밀도를 갖는 IC 기반 아답터 회로 기술 개발</li> </ul> </li> </ul>																																									
<input type="checkbox"/> 정량적 목표																																									
<table border="1"> <thead> <tr> <th>핵심 기술/제품 성능지표</th> <th>단위</th> <th>달성목표</th> <th>국내최고 수준</th> <th>세계최고수준 (보유국, 기업/기관명)</th> </tr> </thead> <tbody> <tr> <td>1 동작 전력용량</td> <td>W</td> <td>120</td> <td>75</td> <td>120 (GaN 시스템 모듈)</td> </tr> <tr> <td>2 DC-DC 컨버터 효율(PCE<sup>1)</sup>)</td> <td>%</td> <td>92</td> <td>90</td> <td>92 (미국, Navitas)</td> </tr> <tr> <td>3 IC 통합 모듈 전력밀도</td> <td>W/cm<sup>3</sup></td> <td>0.9</td> <td>0.862</td> <td>0.893 (중국, ANKER)</td> </tr> <tr> <td>4 구동 회로 공급 전원 Quiescent current<sup>2)</sup></td> <td>μA</td> <td>700</td> <td>-</td> <td>700(@12 V) (미국, TI)</td> </tr> <tr> <td>5 구동 회로 동작 전류<sup>3)</sup></td> <td>mA/kHz</td> <td>0.1</td> <td>-</td> <td>0.11 (미국, TI)</td> </tr> <tr> <td>6 Power Factor</td> <td>PF</td> <td>&gt; 0.9</td> <td>-</td> <td>&gt; 0.9 (미국, Navitas)</td> </tr> </tbody> </table>							핵심 기술/제품 성능지표	단위	달성목표	국내최고 수준	세계최고수준 (보유국, 기업/기관명)	1 동작 전력용량	W	120	75	120 (GaN 시스템 모듈)	2 DC-DC 컨버터 효율(PCE <sup>1)</sup> )	%	92	90	92 (미국, Navitas)	3 IC 통합 모듈 전력밀도	W/cm <sup>3</sup>	0.9	0.862	0.893 (중국, ANKER)	4 구동 회로 공급 전원 Quiescent current <sup>2)</sup>	μA	700	-	700(@12 V) (미국, TI)	5 구동 회로 동작 전류 <sup>3)</sup>	mA/kHz	0.1	-	0.11 (미국, TI)	6 Power Factor	PF	> 0.9	-	> 0.9 (미국, Navitas)
핵심 기술/제품 성능지표	단위	달성목표	국내최고 수준	세계최고수준 (보유국, 기업/기관명)																																					
1 동작 전력용량	W	120	75	120 (GaN 시스템 모듈)																																					
2 DC-DC 컨버터 효율(PCE <sup>1)</sup> )	%	92	90	92 (미국, Navitas)																																					
3 IC 통합 모듈 전력밀도	W/cm <sup>3</sup>	0.9	0.862	0.893 (중국, ANKER)																																					
4 구동 회로 공급 전원 Quiescent current <sup>2)</sup>	μA	700	-	700(@12 V) (미국, TI)																																					
5 구동 회로 동작 전류 <sup>3)</sup>	mA/kHz	0.1	-	0.11 (미국, TI)																																					
6 Power Factor	PF	> 0.9	-	> 0.9 (미국, Navitas)																																					
1) PCE: Power Conversion Efficiency 2) GaN SW 구동 드라이버 회로 공급 전원 대기 전류 3) GaN SW 구동 드라이버 회로 입력 클럭 주파수당 동작 전류																																									
<input type="checkbox"/> 개발 내용 <ul style="list-style-type: none"> <li>650 V급 GaN 소자 및 Gate 구동 드라이버 통합 단일 IC 기술 개발</li> </ul>																																									

- Gate 구동장치, 제어기, GaN SW 통합 One-chip 솔루션 기술
  - GaN과 구동부 통합을 위한 이중 집적 SiP(System-in-Package) 기술
  - 고주파 스위칭 동작을 위한 정밀 제어 회로 기술
  - 신뢰성 확보를 위한 과전류/과부하/단락 보호 기술
  - Thermal Regulation/Shutdown 기술
  - 전류 센싱 아날로그-디지털 변환 회로 기술
  - 제어 연동 외부 Programming/Trimming 인터페이스 지원 기술
  - 발열 및 내압 신뢰성 확보를 위한 패키징 기술
  - 발열 신뢰성 모니터링을 위한 패키지 온도 분해능 분석 기술
- 높은 전력변환 효율 및 고전력밀도를 갖는 IC 기반 아답터 회로 기술 개발
    - 통합 IC 기반 고효율 Rectifier 및 DC-DC Converter 회로 설계 기술
    - 높은 Power Factor를 가지는 역률보상회로 및 제어 기술
    - 고전력밀도 달성을 위한 수동 소자 및 방열 설계 기술
    - 동작 안정성 및 전부하 성능 평가 시험

□ TRL 핵심기술요소(CTE)

핵심 기술요소		최종단계	생산수준 또는 결과물	시험평가 환경
1	GaN 통합 단일 IC	7	GaN 통합 단일 IC 시작품	JEDEC 등 관련 신뢰성 평가
2	GaN 기반 충전 아답터	7	통합 IC 적용 충전 아답터 시작품	공인시험성적

3. 국내외 기술 동향

- (국내) GaN를 활용한 개별 다이오드, FET 등의 소자와 구동 회로 개발은 진행되고 있으나, 전력반도체용 GaN 공정 서비스와 다기능 일체형 IC 개발 및 사업화는 전 무한 상황임
  - GaN 및 SiC 등과 같은 차세대 전력반도체 관련 제품화 연구개발 투자와 특허 출원은 최근 매년 증가하고 있음
  - 국내의 GaN 기반 PD(Power Delivery) 충전 아답터를 구성하는 부품은 대부분 해외 제품에 의존하고 있음
- (국외) 다이오드, FET, 스위치 등 고압 GaN 소자의 스위칭 속도 및 전력밀도 향상 특성을 개선하여 다양한 제품을 사업화하는 기업이 늘어나고 있음. 구동 회로가 통합된 MCM(Multi Chip Module), SIP(System In Package)등의 전력 시스템 Form Factor를 최소화할 수 있는 IC화 제품개발과 사업화에 많은 기업들이 투자하고 있음
  - 초기 GaN 전력반도체 시장은 일본의 도시바, 파나소닉과 미국의 IR, Transphorm 등의 기업이 주도를 하였고, 현재는 Onsemi, Infineon, TI, STMicroelectronics, Navitas 등의 글로벌 전력반도체 기업들 또한 관련 기술 개발과 상용화 투자하여 시장 규모를 확대하고 있음
  - 주요 전력반도체 기업들은 GaN 소자를 기반으로 다양한 기능을 통합하여 단일 칩으로 집적하여 제품화를 진행하고 있음

4. 지원 필요성

□ 기술적 지원필요성

- 국내 GaN 전력반도체 IC 개발 상용화 기술 미흡으로 해외 의존이 심각하여 빠르게 기술 수준 격차를 줄이는 국산화를 위한 노력이 필요함
  - 고성능 전력반도체는 기존 Si의 단점을 극복하기 위해 WBG(Wide Band Gap) 소재를 적용한 차세대 전력용 소자, IC 등에 대한 기술 개발이 가속화되고 있음
  - 그 중 GaN는 고전압, 고전류 상황에서 고주파 및 고효율화 동작이 가능하고 높은 전력밀도 특성을 갖기 때문에 모바일기기 충전 부품으로 많은 주목을 받고 있음
  - 하지만 현재 급격히 성장하고 있는 충전 부품 시장에서 GaN의 비중이 높아지고 있지만, 국내 충전기 업체들은 대부분을 수입에 의존하고 있어 관련 기술에 대한 연구개발 투자가 시급함
  - 특히 GaN 공정의 발전에 따라 향후 전력반도체 시장에서 경쟁력을 갖기 위해 구동 드라이버, 컨버터, 추가 기능 회로 등을 단일칩으로 제작하는 기술 개발에 대한 목표 설정이 필요함

□ 경제적 지원필요성

- 국내 주요 파운드리 서비스 기업들도 GaN 공정 시장 진출을 선언함에 따라 향후 제품의 국내 양산을 위해 빠르게 시장 접근이 가능한 모바일기기 아답터용 전력관리 IC 분야의 기술 확보를 위한 정부의 지원과 관리가 필요
  - 국내의 삼성전자, DB하이텍, 키파운드리 등은 현재 GaN 파운드리 서비스를 지원하기 위한 인프라를 구축 중에 있음
  - 국내 파운드리 서비스가 구축되기 전 사업화가 가능한 시장에 적용할 수 있는 GaN 기반 IP 및 IC 기술에 대한 확보가 필수적임

□ 정부/정책적 지원필요성

- 현재 정부에서도 디지털플랫폼정부, 탄소중립 등을 위한 핵심부품으로 차세대 전력반도체를 선정하여 기술 확보를 위한 지원을 강화하고 있음
  - 국외 선진 업체들에 비해 뒤쳐져 있는 GaN 전력반도체 분야의 격차를 줄이기 위해 연구개발 투자와 더불어 정부의 주요 사업에 적용할 수 있도록 전략적 정책 지원 필요

**5. 활용방안 및 기대효과**

□ 활용방안

- 모바일용(스마트폰, PDA, 노트북 등) 고속충전기 및 PD 충전기 핵심 부품으로 적용 가능
- 수 백 W급의 생활가전용(무선/로봇 청소기, 로봇 예초기 등) 충전기, 전기 스쿠터/전기 자전거 충전기 등의 전력관리 부품으로 활용 가능

□ 기술적 기대효과

- 고밀도 모바일기기 충전기에 최적화된 GaN 단일칩 구동기술의 세계적 수준의 설계 기술 확보 및 타 전력 관리 시스템에 적용 가능한 각종 설계 기술 확보
- 모바일기기 충전기의 성능을 좌우하는 필수 부품 개발을 통해 경쟁사 대비 차별화된 성능 제공 가능

□ 경제적 기대효과

- 현재 90 % 이상을 수입에 의존하고 있는 전력반도체 시장에서 국산화를 통해 해외 의존도를 획기적으로 줄일 수 있는 발판 마련
- 차별화된 충전 어댑터 부품의 효율 및 전력밀도 성능의 실현으로 국내 전력변환 시스템 제조사의 글로벌 경쟁력 확보로 미래산업 사업화 동력 창출

- 기타 사회·문화적 측면의 기대효과 및 파급효과
  - 현재 국내에 부족한 화합물 기반 전력반도체 설계 기술력을 보유한 우수 인력 양성 및 고용 창출 가능

#### 6. 지원기간/예산/추진체계

- 기간 : 45개월 이내 (1차년도 :9개월, 2~4차년도 : 12개월)
- 정부출연금 : '24년 12.8억원 (총 정부출연금 65.3억원 이내)
- 주관기관 : 중소·중견 기업
- 기술료 징수여부 : 징수

관리번호	화합물파워-지정-04	산업 기술 분류	중분류 I		중분류 II																																					
과제유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품		반도체소자 및 시스템		-																																					
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음																																									
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input checked="" type="checkbox"/> 초격차																																									
R&D 자율성트랙유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)																																									
과제명	모바일기기 보드에 내장되는 GaN 단일칩 배터리 충전기 IC 개발 (TRL : [시작] 5단계 ~ [종료] 7단계)	품목코드 (HSK10)	류	호	소호	통계부호																																				
			8 5	3 2	3 1	1 0 0 0																																				
<b>1. 개념 및 정의</b>																																										
<p>○ 고전압 GaN 파워소자와 전압/전류 센싱 및 보호 기능 아날로그 회로와 디지털 제어회로가 집적화된 On Board GaN 단일칩 Current Control 배터리 충전기 IC 개발</p>																																										
<b>2. 연구목표 및 내용</b>																																										
<input type="checkbox"/> 최종 목표																																										
<p>○ 고전압 GaN 파워소자와 고효율 배터리 충전기 기능 회로가 집적화된 On Board GaN 단일칩 Current Control 배터리 충전기 IC 개발</p> <ul style="list-style-type: none"> <li>- High Voltage Input Charger IC 개발</li> <li>- Over-Current Cut-off 등 Protection Circuit 개발</li> <li>- Current Sensing and Controllable Circuit 개발</li> <li>- On Board GaN Current Control Charger IC 개발</li> </ul>																																										
○ 정량적 목표																																										
<table border="1"> <thead> <tr> <th></th> <th>핵심 기술/제품 성능지표</th> <th>단위</th> <th>달성목표</th> <th>국내최고 수준</th> <th>세계최고수준 (보유국, 기업/기관명)</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>최대 출력 전력</td> <td>W</td> <td>80</td> <td>-</td> <td>60 (미국/TI)</td> </tr> <tr> <td>2</td> <td>출력 전압 조정 정확도</td> <td>%</td> <td>0.1</td> <td>-</td> <td>0.5 (미국/TI)</td> </tr> <tr> <td>3</td> <td>최대 입력 전압</td> <td>V</td> <td>20</td> <td>-</td> <td>20 (미국/TI)</td> </tr> <tr> <td>4</td> <td>최대 충전 전류</td> <td>A</td> <td>5</td> <td>-</td> <td>5 (미국/TI)</td> </tr> <tr> <td>5</td> <td>최대 효율 (<math>V_{BAT}=16V, V_{IN}=20V</math>)</td> <td>%</td> <td><math>\geq 96.5</math></td> <td></td> <td>96.5 (미국/TI)</td> </tr> </tbody> </table>								핵심 기술/제품 성능지표	단위	달성목표	국내최고 수준	세계최고수준 (보유국, 기업/기관명)	1	최대 출력 전력	W	80	-	60 (미국/TI)	2	출력 전압 조정 정확도	%	0.1	-	0.5 (미국/TI)	3	최대 입력 전압	V	20	-	20 (미국/TI)	4	최대 충전 전류	A	5	-	5 (미국/TI)	5	최대 효율 ( $V_{BAT}=16V, V_{IN}=20V$ )	%	$\geq 96.5$		96.5 (미국/TI)
	핵심 기술/제품 성능지표	단위	달성목표	국내최고 수준	세계최고수준 (보유국, 기업/기관명)																																					
1	최대 출력 전력	W	80	-	60 (미국/TI)																																					
2	출력 전압 조정 정확도	%	0.1	-	0.5 (미국/TI)																																					
3	최대 입력 전압	V	20	-	20 (미국/TI)																																					
4	최대 충전 전류	A	5	-	5 (미국/TI)																																					
5	최대 효율 ( $V_{BAT}=16V, V_{IN}=20V$ )	%	$\geq 96.5$		96.5 (미국/TI)																																					
<input type="checkbox"/> 개발 내용																																										
○ 고전압 GaN 파워소자와 고효율 배터리 충전기 기능 회로가 집적화된 On Board																																										

- GaN 단일칩 Current Control 배터리 충전기 IC 개발
- High Voltage Input Charger IC 개발
- Over-Current Cut-off 등 Protection Circuit 개발
- Current Sensing Circuit 개발
- 디지털 전력변환/Charge Controllable Circuit 개발
- On Board GaN Current Control Charger IC 개발
- 외부 제어 및 배터리 정보 연동 인터페이스 개발
- 저손실/저결함 GaN 기반 IC 통합 패키지 설계 기술
- 고압 및 발열 IC 신뢰성 확보 기술

□ TRL 핵심기술요소(CTE)

핵심 기술요소		최종단계	생산수준 또는 결과물	시험평가 환경
1	GaN 소자 기반 IC 회로설계 기술	7	Current Control Battery Charger IC	신뢰성시험평가 환경
2	GaN 소자와 IC 회로 집적화 기술	7	On Board GaN 단일칩 Current Control 배터리 충전기 IC	신뢰성시험평가 환경

3. 국내외 기술 동향

- (국외 기술동향) 다양한 모듈 및 칩 관련 외국 기업에서 기존 Silicon 소자 기반 Mobile Charger 대비 소형화 가능한 GaN 소자 기반 Mobile Charger 양산제품들을 출시하고 있음
  - 미국 TI, 유럽 Infineon, 유럽 STM, 일본 Rohm, 일본 Toshiba사에서는 기존 Silicon 소자 기반 Mobile Charger 양산제품들을 출시하고 있으며 또한 GaN 소자 기반 Mobile Charger 양산제품들도 출시
  - 중국 OPPO사는 50W가 충전이 가능한 Navitas사의 GaN 소자를 활용하여 소형화 스마트폰 충전기용 GaN Charger 제품 출시
- (국외 기술동향) GaN 양산 공정기술이 발전하면서 GaN소자와 인버터/컨버터 회로 및 디지털 제어회로를 집적화한 GaN SoC 혹은 SiP Mobile Charger IC 개발을 진행하고 있음
  - 아직은 기술 개발 초기단계이고 GaN SoC 혹은 SiP Mobile Charger IC는 GaN multi-chip Mobile Charger IC 대비 효율 향상 및 사이즈 축소에 매우 효과적임
- (국내 기술동향) 삼성전자 중심으로 기존 Silicon 소자 기반 Mobile Charger 대비 소형화 가능한 GaN소자 기반 Mobile Charger 기술 개발과 일부 양산제품 출시 중
  - 삼성전자는 GaN Systems사의 45W GaN 소자를 활용하여 Galaxy S22+ 및 Ultra 스마트폰 내부 구성의 충전기용 고속 충전기를 개발하였다고 발표함
  - 맥도도코리아는 GaN 소자를 활용한 모바일 타겟 47W, 60W 초고속 미터 2포트 멀티충전기를 개발하여 국내 삼성전자 등 다양한 기업의 휴대폰과 호환이 가능한 스마트폰의 고속 충전기 개발함
- (국내 기술동향) GaN 양산 공정기술이 발전하면서 GaN소자와 인버터/컨버터 회로 및 디지털 제어회로를 집적화한 GaN SoC 혹은 SiP Mobile Charger IC 기술 개발은 미진한 상황
  - 국내 파운드리 업체 중심으로 GaN 소자 및 양산 공정 기술개발은 진행하고 있으나 GaN

SoC 혹은 SiP Mobile Charger IC에 대한 개발은 아직 국내에는 초보 단계임

#### 4. 지원 필요성

##### □ 기술적 지원필요성

- 화합물 전력반도체 기술은 기존 실리콘 전력반도체 기술 대비 전력의 효율적 활용과 전력 손실 최소화로 모바일기기, 웨어러블 기기, 전기차, 신재생에너지, 로봇, 백색가전 등 다양한 응용 분야에서 활용 및 중요도가 급속하게 증가하고 있음
- 다양한 융합 신시장 개척과 미래시장 선도를 견인 가능한 화합물 전력반도체 소자 기반 원칩IC 기술개발이 필요함
  - GaN Device 적용 High Voltage & Speed charger 기술개발을 통한 모바일기기용 단일칩 배터리 충전기 IC 기술 경쟁력 확보

##### □ 경제적 지원필요성

- 전력반도체 세계 시장은 지속적이고 안정적인 시장규모로 발전 전망되고 화합물 전력반도체 소자 기반 전력반도체 IC 시장 규모도 점차적으로 확장하고 있음
  - 스마트폰, 스마트워치 등 다양한 모바일기기에 적용 가능한 배터리 충전기 IC 기술 확보로 신시장 및 신사업 창출에 기여
  - 화합물 전력반도체 소자 기반 전력반도체 IC 제품군들은 대부분 수입에 의존하고 있는 국내 화합물 전력반도체 소자 기반 전력반도체 IC 기술 분야의 글로벌 기술 경쟁력 및 신 시장 확보가 필요함

##### □ 정부/정책적 지원필요성

- 2050 탄소중립 실현을 위한 디지털·그린 뉴딜의 핵심부품으로 정부 주도의 화합물 전력반도체 기술개발 고도화 육성 및 관련 분야 핵심 기술 개발 선도가 필요함
  - 화합물 전력반도체 기술은 AI, 6G 등 디지털 뉴딜과 전기차, 신재생 등 그린 뉴딜을 견인할 수 있는 성장 가능성이 매우 큰 기술 분야임

#### 5. 활용방안 및 기대효과

##### □ 활용방안

- 스마트폰, 스마트워치 제품군에 적용
- 노트북, 태블릿 제품군에 적용

##### □ 기술적 기대효과

- 모바일기기, 웨어러블 기기, 전기차, 신재생에너지, 로봇, 백색가전 등 다양한 응용 분야에서 활용 가능한 화합물 전력반도체 소자 기반 전력반도체 원칩IC 기술확보
  - GaN Device 적용 High Voltage & Speed charger 기술 개발을 통한 모바일기기용 단일칩 배터리 충전기 IC 기술 경쟁력 확보

##### □ 경제적 기대효과

- 스마트폰, 스마트워치 등 다양한 모바일기기에 적용 가능한 배터리 충전기 IC 기술 확보로 신시장 및 신사업 창출에 기여
- 화합물 전력반도체 소자 기반 전력반도체 IC 제품군들은 대부분 수입에 의존하고 있는 국내 화합물 전력반도체 소자 기반 전력반도체 IC 기술 분야의 글로벌 기술 경쟁력 및 신시장 확보 촉진

- 기타 사회.문화적 측면의 기대효과 및 파급효과
  - 에너지 효율 향상을 통한 등 산업 전반의 탄소배출 저감 사회구현에 기여
- 규제개선 요구사항(규제개선 과제 해당되는 경우)

#### 6. 지원기간/예산/추진체계

- 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 : 12개월, 3차년도 : 12개월)
- 정부출연금 : '24년 12.8억원 이내(총 정부출연금 43.6억원 이내)
- 주관기관 : 중소·중견 기업
- 기술료 징수여부 : 징수

관리번호	화합물파워-지정-05	산업 기술 분류	중분류 I		중분류 II																																						
과제유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품		반도체소자 및 시스템		-																																						
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음																																										
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input checked="" type="checkbox"/> 초격차																																										
R&D 자율성트랙유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)																																										
과제명	650V 고속스위칭 GaN 구동용 정밀 DT 제어회로 내장한 하프브리지형 구동 IC 개발 (TRL : [시작] 5계 ~ [종료] 7단계)		품목코드 (HSK10)	류	호	소호	통계부호																																				
				8 5	3 2	3 1	1 0 0 0																																				
<b>1. 개념 및 정의</b>																																											
<ul style="list-style-type: none"> <li>○ 650V 전기자동차 및 서버용 고속 게이트 드라이버 설계 <ul style="list-style-type: none"> <li>- 수백 볼트급 고전압에서 GaN 스위치 구동을 위한 절연(isolation) 기술 및 구동 기술</li> <li>- 하프 브리지형 변환기 구조에 대응한 파워변환용 구동 드라이버 설계</li> <li>- Shoot through 전류 방지용 정밀 제어를 위한 DT (dead-time) 회로</li> </ul> </li> </ul>																																											
<b>2. 연구목표 및 내용</b>																																											
<input type="checkbox"/> 최종 목표																																											
<ul style="list-style-type: none"> <li>○ 650V 고속스위칭 GaN 구동용 정밀 DT 제어회로 내장한 하프브리지 구동 IC 개발 <ul style="list-style-type: none"> <li>- 정밀 제어를 위한 DT(dead-time)과 delay matching 회로</li> <li>- 고효율 절연형 구동회로, 보호회로 설계</li> </ul> </li> <li>○ 정량적 목표 <ul style="list-style-type: none"> <li>- Tpd (propagation delay time) 35ns 이하</li> <li>- 고효율 게이트 구동용 출력 소스전류 (Io+) 4A, 출력 싱크전류(Io-) 6A 이상</li> <li>- GaN 소자용 half-bridge 게이트 구동</li> <li>- Floating high-side GaN 게이트 구동</li> </ul> </li> </ul>																																											
<table border="1"> <thead> <tr> <th colspan="2">핵심 기술/제품 성능지표</th> <th>단위</th> <th>달성목표</th> <th>국내최고 수준</th> <th>세계최고수준 (보유국, 기업/기관명)</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>Propagation delay time (Tpd)</td> <td>ns</td> <td>35</td> <td>없음</td> <td>35 (독일, Infineon)</td> </tr> <tr> <td>2</td> <td>출력 소스전류 (Io+)</td> <td>A</td> <td>4</td> <td>없음</td> <td>4 (독일, Infineon)</td> </tr> <tr> <td>3</td> <td>출력 싱크전류 (Io-)</td> <td>A</td> <td>6</td> <td>없음</td> <td>6 (독일, Infineon)</td> </tr> <tr> <td>4</td> <td>dead-time 조절범위 (DT)</td> <td>ns</td> <td>100 ~ 1,000</td> <td>없음</td> <td>100 ~ 800 (독일, Infineon)</td> </tr> <tr> <td>5</td> <td>공통 모드 과도 내성 (CMTD)</td> <td>kV/us</td> <td>200</td> <td>없음</td> <td>200 (독일, Infineon)</td> </tr> </tbody> </table>								핵심 기술/제품 성능지표		단위	달성목표	국내최고 수준	세계최고수준 (보유국, 기업/기관명)	1	Propagation delay time (Tpd)	ns	35	없음	35 (독일, Infineon)	2	출력 소스전류 (Io+)	A	4	없음	4 (독일, Infineon)	3	출력 싱크전류 (Io-)	A	6	없음	6 (독일, Infineon)	4	dead-time 조절범위 (DT)	ns	100 ~ 1,000	없음	100 ~ 800 (독일, Infineon)	5	공통 모드 과도 내성 (CMTD)	kV/us	200	없음	200 (독일, Infineon)
핵심 기술/제품 성능지표		단위	달성목표	국내최고 수준	세계최고수준 (보유국, 기업/기관명)																																						
1	Propagation delay time (Tpd)	ns	35	없음	35 (독일, Infineon)																																						
2	출력 소스전류 (Io+)	A	4	없음	4 (독일, Infineon)																																						
3	출력 싱크전류 (Io-)	A	6	없음	6 (독일, Infineon)																																						
4	dead-time 조절범위 (DT)	ns	100 ~ 1,000	없음	100 ~ 800 (독일, Infineon)																																						
5	공통 모드 과도 내성 (CMTD)	kV/us	200	없음	200 (독일, Infineon)																																						
<input type="checkbox"/> 개발 내용																																											

- 절연 (Isolation) 구동을 위한 회로 기술
  - 상하측 (high & low side) 게이트 구동을 위한 functional isolation된 신호 전달 회로개발
  - CMTI (Common-Mode Transient Immunity): 200kV/us
- 정밀한 신호제어를 통한 DT 및 Tpd 제어기술
  - GaN 소자의 빠른 스위칭 특성에 맞는 turn on/off delay time 및 dead-time mismatch 최소화 기술
  - 기업별 다른 GaN 소자의 특성에 최적화를 위한 dead-time (DT) 조절 제어기술
- 650V급 절연형 게이트 구동기술
  - GaN 소자용 half-bridge 게이트 구동 기술개발
  - Floating high-side 게이트 구동기술
  - 고출력 게이트 구동기술 개발 (Io+: 4A, Io-: 6A )
- 고속 스위칭 시의 보호기능 탑재, 절연 게이트 드라이버 및 신뢰성 개발
  - UVLO (Under voltage lock out) 보호 회로를 탑재한 게이트 구동기술
  - 고속 스위칭 시 드레인 전압의 높은 dv/dt로 인해 발생할 수 있는 오동작을 방지 하는 게이트 구동회로 기술

□ TRL 핵심기술요소(CTE)

핵심 기술요소		최종단계	생산수준 또는 결과물	시험평가 환경
1	650V급 GaN half-bridge 구동 IC	7	GaN half-bridge 구동 통합 IC 시작품	공인 시험성적

**3. 국내외 기술 동향**

- 화합물 반도체 전력 소자 개발과 구동 IC에 대한 기본적인 기술개발이 이루어지고 있으나 고도화 및 고전압 컨트롤 회로와 집적회로 기술 개발 미흡
  - GaN 절연 구동 IC: 전력 모듈에 필요한 요소로서 기초적 구동 IC 개발이 시작되고 있음
  - 화합물 소재 기반 집적회로: 화합물 소재기반의 집적회로의 원천 연구는 미흡하나, 중장기적으로 화합물 형태의 SoC 형태의 원칩/원패키지화를 위해서는 선행연구가 필요
- 파워IC분야 해외 선두 업체는 구동 IC와 함께 소자, 모듈 (module) 및 시스템 (system)까지 일괄 사업을 추진하여 전반적 기술 확보 및 상용화 추진 중
  - GaN 절연 구동 IC: (독일) 인피니언, (미국) TI
  - 전압, 전류 센신용 절연 센스 앰프 : (독일) 인피니언, (미국) TI, 아날로그디바이스
  - 화합물 소재 기반 집적회로: 나비타스

**4. 지원 필요성**

□ 기술적 지원필요성

- 차세대 화합물 반도체 시장 진입 및 확대를 위한 핵심기술 확보
- 전기자동차 및 차세대 통신 산업의 차세대 기술 선점
- 화합물 반도체 응용 및 상용화 기술 자립
- 차세대 반도체 기반의 새로운 상용화 제품 확보를 통한 비메모리 산업의 성장 동력 확보
- 에너지 효율 향상을 통한 가정용, 산업용, 운송수단 등 산업 전반의 탄소배출 저감

□ 경제적 지원필요성

- 파워 IC 반도체 중 화합물 전력소자 반도체의 성장과 동반되는 분야야로 게이트 구동

IC 시장이 가장 큰 규모로 성장 전망 (Omdia, 2021)

- 게이트 구동 IC: 시장규모 2027년 28억불로 연 10.4% 규모로 성장 예상
- 절전형 제어 IC: 2027년 16억불로 연 4.6% 규모로 성장 예상
- 파워 IC 시장에서 화합물을 기반으로 한 상기 4개의 시장은 2027년 약 100억불 규모로 성장

정부/정책적 지원필요성

- 세계적으로 온실가스 감축을 위한 다양한 논의가 진행되고 있으며 RE100 등 기업체 에너지 소비환경의 급격한 변화의 적응 및 기준 달성을 위한 에너지 반도체 개발
- 파워, 게이트 구동 등 IC 설계에 있어 높은 초기 개발 비용이 발생하여 제품 개발에 많은 어려움 발생함

**5. 활용방안 및 기대효과**

활용방안

- 650V 급 파워시스템용 구동회로, 전기자동차 트랙션 모터, EV Charger, PV 인버터, 에너지저장장치 등의 고성장분야에 사용

기술적 기대효과

- GaN 구동을 위한 핵심기술은 게이트 차지의 효율적 충전과 방전을 통해 내압을 넘지 않으면서 신속히 동작을 할 수 있도록 하는 것임. 이러한 기술의 개발은 에너지 시스템 전반에 걸쳐 응용될 수 있는 기반기술로 활용될 수 있음

경제적 기대효과

- 에너지 산업은 급격히 성장하고 있으며 전기자동차 뿐 아니라 태양광, 에너지저장장치 등의 큰 성장이 기대되는 분야의 신속한 진입 및 시장 확보가 중요함

기타 사회·문화적 측면의 기대효과 및 파급효과

- 전기자동차, 드론, 에너지저장장치 등의 효율적 파워관리를 통해 시스템 안정성을 높일 수 있으며 화석연료의 사용을 줄이고자 하는 전세계적 요구사항에 맞는 에너지 산업의 확장에 크게 기여함

규제개선 요구사항(규제개선 과제 해당되는 경우)

- 해당사항 없음

**6. 지원기간/예산/추진체계**

- 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 : 12개월, 3차년도 : 12개월)
- 정부출연금 : '24년 12.8억원 이내(총 정부출연금 45억원 이내)
- 주관기관 : 중소·중견 기업
- 기술료 징수여부 : 징수

**[참고] 화합물전력반도체고도화기술개발  
실무작업반 명단**

순번	실무작업반		
	성명	소속	직위
1	장동근	세미파워렉스	대표
2	양창현	SK파워텍	소장
3	노진호	성진TS	소장
4	윤상원	서울대학교	교수
5	고상기	코닉스	연구소장
6	정순묵	SK실트론	프로
7	윤영준	안동대학교	교수
8	김종석	한양대학교	교수
9	박윤환	워프솔루션	이사
10	홍남표	국민대학교	교수

④

시장선도를위한한국주도형K-Sensor기술개발사업

품목번호	K센서-품목-01		산업 기술 분류	중분류 I	중분류 II		
품목유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품			반도체소자 및 시스템	계측기기		
융합유형	<input checked="" type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input type="checkbox"/> 해당없음						
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차						
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)						
품목명	스마트 주거 환경을 위한 저전력 다중 복합 유해가스 측정용 적외선 가스센서 기술 개발 (TRL : [시작] 4단계 ~ [종료] 7단계)		품목코드 (HSK10)	류	호	소호	통계부호
				9 0	2 7	1 0	0 0 0 0
<b>1. 개념 및 개발내용</b>							
<input type="checkbox"/> 개념							
<ul style="list-style-type: none"> <li>○ 스마트 주거 환경에서 발생하는 복합 유해 가스 및 환경 변화를 안정적/지속적으로 측정하기 위해, 다양한 폼팩터를 갖는 전원 기술 (스마트 주거용 유기물 전원 생성 기관 기술 또는 무선 에너지 전달 기술 등)을 활용하여 저전력으로 동작하는 멀티채널 다중 복합 가스 측정 센서 및 측정기 개발             <ul style="list-style-type: none"> <li>- 센서 구동용 독립 전원 생성을 위한 유기물 기반 전원 생성 기관 및 무선전력전송 기술 개발</li> <li>- 적외선 가스센서 핵심 구성인 다중 유해가스 감지를 위한 가스 센서용 적외선 검출기 및 광원 기술 개발</li> <li>- 스마트 거주 환경에 적용 확장성을 높일 수 있는 저전력 다중 복합 유해가스 환경 정보 계측을 위한 적외선 가스센서 및 측정시스템 개발</li> </ul> </li> </ul>							
<input type="checkbox"/> 개발내용							
<ul style="list-style-type: none"> <li>○ 다중/복합 유해가스 감지를 위한 가스센서용 적외선 검출기와 적외선 광원 기술 개발             <ul style="list-style-type: none"> <li>- 고감도 적외선 검출기를 위한 열전 출력 향상 구조설계 공정 기술 개발</li> <li>- 다중 유해가스 측정을 위한 적외선 검출기의 적외선 흡광 영역 극대화를 위한 흡광 기술 개발</li> <li>- 다중 유해가스 동시 검출을 위한 멀티채널 구조 적외선 검출기 기술 개발</li> <li>- 적외선 광원의 적외선 복사를 극대화할 수 있는 복사 구조 설계 및 소재 개발</li> <li>- 고속 동작에서 적외선 광원 안정화를 위한 구조 설계 공정기술 개발</li> </ul> </li> <li>○ 센서 구동용 독립 전원 생성을 위한 유기물 기반 및 무선 에너지 전달 전원기술 개발             <ul style="list-style-type: none"> <li>- 실내 및 자연의 저광량을 활용한 자가발전 전원 시스템 고출력 다성분계 유기</li> </ul> </li> </ul>							

## 물 전원 모듈 개발

- 저조도 대역 출력 유기물 소재 최적화 및 안정성 확보 기술 개발
- 스마트 주거환경 적용을 위한 대면적 다양한 폼팩터를 갖는 유기물 기반 독립 전원 개발과 무선에너지전달 기술 활용
- o 스마트 거주 환경에 적용 확장성을 높일 수 있는 다중 복합 유해가스 및 환경 변화 측정을 위한 적외선 가스센서 및 측정시스템 개발
  - 안정적인 다중 복합 유해가스 측정을 위한 상호 간섭 제거 기술 개발
  - 다중 복합 유해가스를 측정할 수 있는 광학계 기술 개발
  - 측정 정확도를 높일 수 있는 센서 보정 알고리즘 기술 개발
  - 독립 전원과 적외선 가스센서가 결합된 센서 측정 기술 개발
  - 스마트 거주 공간에 적용 확장성을 높일 수 있는 독립 전원을 결합한 저전력 다중 복합 유해가스 측정용 적외선 가스센서와 이를 이용한 측정기 개발

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수  
**측정가스 5종 이상, 센서정확도, 유기물 기반 생성 전력**

## 2. 지원 필요성

### □ 지원 필요성

- o (정책적 측면) CO<sub>2</sub>, CH<sub>4</sub> 등 온난화 가스를 효과적으로 검출할 수 있는 적외선 센서 및 시스템 보급 확대를 통해 광역적으로 분포된 온난화 가스 관련 정보를 체계적으로 데이터화함으로써 탄소중립 달성을 위한 그린경제정책 신뢰성을 높이고, 보급 확대를 통한 관련산업 활성화로 고용촉진으로 일자리 창출이 기대됨
- o (기술적 측면) 센서칩, 패키지, 모듈, 시스템 단계를 거쳐 다양한 산업체 활용될 수 있으며, IoT 확산에 따른 산업적 활용도는 폭발적으로 증가 전망
- o (시장적 측면) 전세계 가스센서 시장은 2030년까지 62억\$ 정도로 성장할 것으로 예상하고 있으며 가스센서 중에 비분산 적외선 가스센서 시장은 10억\$ 정도를 차지할 것을 예상하고 있어 가장 높은 성장률을 전망하고 있음
- o (사회적 측면) 스마트 주거 환경뿐만 아니라 차량 공조시스템, 냉난방 공조시스템, 스마트팜, 보건 의료 및 안전 보안 등의 다양한 분야에서 보급 및 활용 확대가 기대됨

### □ 활용분야

- o (적용 시장) 스마트 홈, 스마트 시티, 자동차, 산업체 공조시스템, 보건의료 등
- o (적용 제품) 유해가스 센서 및 측정기, 배출 가스 모니터링 시스템 및 이동형, 고정형 유해가스 모니터링 시스템

## 3. 지원기간/예산/추진체계

- o 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 3차년도 : 각각 12개월)
- o 정부지원연구개발비 : '24년 5.48억원 이내(총 정부출연금 24.48억원 내외)
- o 주관연구개발기관 : 중소·중견기업
- o 기술료 징수여부 : 징수
- o 기타 : 수요기업 참여필수

품목번호	K센서-품목-02		산업 기술 분류	중분류 I		중분류 II	
품목유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품			반도체소자 및 시스템		전기전자부품	
융합유형	<input checked="" type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input type="checkbox"/> 해당없음						
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차						
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)						
품목명	차량 세이프티 도어용 비접촉 센서 및 반도체 기술개발 (TRL : [시작] 5단계 ~ [종료] 7단계)		품목코드 (HSK10)	류	호	소호	통계부호
				8	7	0	8
							9
							9
							9
							0
							0
							0
<b>1. 개념 및 개발내용</b>							
<input type="checkbox"/> 개념							
<ul style="list-style-type: none"> <li>○ 최근 RF 신호기반의 비접촉 센서를 이용하여 자동차 도어 내부에 안전센서를 설치하여 파워 윈도우, 테일게이트, 하차시 위험 센싱 등 다양한 응용이 확대되고 있음</li> <li>- 상용화 형태 : 세이프티도어 ECU, Strip 임피던스 센서, 임피던스 센싱 AFE IC* *AFE IC (Analog Front-End Intergrated Circuit)</li> <li>- 기존의 파워 윈도우의 경우 윈도우 모터의 전류량의 변화를 감지하여 물체의 끼임을 검출하는 방식이나 이 경우 끼임으로 인한 충격과 사고가 발생하고 있어 비접촉방식의 센서 및 신호처리부를 활용하여 보다 안전한 윈도우 및 도어와 테일게이트 등의 센서 시스템에 활용할 수 있을 것으로 기대됨</li> </ul>							
<input type="checkbox"/> 개발내용							
<ul style="list-style-type: none"> <li>○ 넓은 거리와 각도 범위를 감지하는 라인 센서 및 AFE IC 칩 개발</li> <li>○ 라인센서 센싱값 변화 검출부에서 검출된 센싱값을 기준으로 근접 물체 감지 여부를 판단하는 근접 물체 및 인체 감지 판단하는 신호처리 알고리즘 개발</li> <li>○ 근접 물체 감지 판단부의 판단 결과에 따라 안전 모드로 제어하는 개폐 장치 동작부와 전원 노이즈 제어부 개발</li> <li>○ 비접촉 인체감지 고감도 초소형 센서 모듈 개발</li> <li>○ 인체감지 센서 알고리즘 개발: 감지 및 캘리브레이션 기능 탑재</li> <li>○ 차량 EMC 규격을 만족하는 저주파 대역을 기반으로 대응값을 커패시턴스 변화의 특성값으로 구현하는 AFE IC 기술개발</li> <li>○ 센싱 신호 특성에 따른 필터 처리 프로세싱 기술개발</li> <li>○ 감지하는 센서의 모양과 크기 특성에 따른 프로세싱 기술개발</li> <li>○ 온도보상과 센싱 데이터 특성에 따른 감지거리를 디지털 출력하는 기술개발</li> <li>○ 센서모듈 실장시험 세트 개발 : 인터페이스 및 ECU 개발</li> </ul>							

- 평가 JIG 개발 및 제어기 모듈 EMC 규격 대응 설계 및 해석

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수  
감지거리(mm), 동작온도(℃), EMC (ISO/CISPR)

## 2. 지원 필요성

### □ 지원 필요성

- (정책적 측면) 정부는 전력반도체, 차량반도체, AI반도체 등 3개 유망반도체 기술분야를 집중투자하기로 하였으며 차량용 안전센서 반도체 기술은 해외 의존 중인 차량용 ECU로서 국산화를 위한 정부지원이 필요함
- (기술적 측면) 현재의 안전법규에 따르면 리모트 컨트롤로 파워 윈도우를 작동할 수 없으나 Anti- pinch Sensor System은 사용이 가능하다는 장점으로 다양한 윈도우와 개폐 시설을 가진 신차 개발이 가능함
- (시장적 측면) 국내 자체기술로 개발된 비접촉 센서 시스템은 해외 수입에 크게 의존 중인 기술의 한계를 극복할 수 있으며 이로 인한 제품경쟁력, 시장경쟁력을 강화할 것으로 기대됨
- (사회적 측면) 비접촉기반의 센서시스템은 차량의 안전을 향상시키고 브랜드 이미지를 고급화 시켜 자동차의 시장 경쟁력을 향상시킬 수 있으며 관련된 사고로 인한 피해를 미연해 방지하여 이로 인한 불필요한 경제적 피해가 감소할 수 있을 것으로 기대됨

### □ 활용분야

- 차량 도어 및 테일게이트 센서 시스템
- 차량 내외부 위험 상황 센싱
- 파워윈도우의 Anti-pinch 센서

## 3. 지원기간/예산/추진체계

- 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 3차년도 : 각각 12개월)
- 정부지원연구개발비 : '24년 5.48억원 이내(총 정부출연금 24.48억원 내외)
- 주관연구개발기관 : 중소·중견기업
- 기술료 징수여부 : 징수
- 기타 : 수요기업 참여필수

품목번호	K센서-품목-03		산업 기술 분류	중분류 I		중분류 II	
품목유형	<input checked="" type="checkbox"/> 원천기술 <input type="checkbox"/> 혁신제품			반도체소자 및 시스템		전기전자부품	
융합유형	<input checked="" type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input type="checkbox"/> 해당없음						
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차						
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)						
품목명	질병관련 가스 바이오마커의 실시간 검출을 위한 소형 가스 분석 센서 개발 (TRL : [시작] 3단계 ~ [종료] 6단계)		품목코드 (HSK10)	류	호	소호	통계부호
				9 0	2 4	9 0	1 0 0 0
<b>1. 개념 및 개발내용</b>							
<input type="checkbox"/> 개념							
<ul style="list-style-type: none"> <li>○ 인체에서 배출되는 질병 관련 가스 다중 바이오마커의 실시간 검출을 위한 소형 가스 분석 센서 시스템 개발 (초고감도, 소형화) <ul style="list-style-type: none"> <li>- 초고감도 반도체식 가스센서 기술을 이용하여 질병과 관련된 호흡에서 발생하는 가스 바이오 마커를 검출하는 센서 시스템 구축</li> </ul> </li> <li>○ 호기, 소변 등 인체에서 배출되는 가스 바이오마커 (아세톤, 산화질소, 수소, 이소프렌, 메탄, 포름알데히드 등)와 특정 질환과의 연관성을 평가하여 정량적 분석 알고리즘 개발</li> </ul>							
<input type="checkbox"/> 개발내용							
<ul style="list-style-type: none"> <li>○ 가스 바이오 마커 탐지용 초고감도 센서 개발 <ul style="list-style-type: none"> <li>- 기존 센서의 선택성, 민감도 등의 한계를 극복하기 위한 센서 개발</li> <li>- 호기 가스 중의 극미량 (수 ppb ~ 1 ppm) 검출 기술 개발</li> </ul> </li> <li>○ 선택적 가스 바이오마커 분석용 시스템의 소형화 <ul style="list-style-type: none"> <li>- 호기 포집 전처리, 샘플링 기술 개발</li> <li>- 유로설계 및 MEMS 기술 기반 분석 시스템 개발</li> <li>- 소형화에 따른 압력, 내구성 및 저전력의 신뢰성 확보</li> </ul> </li> <li>○ 신뢰성 및 내구성 테스트 <ul style="list-style-type: none"> <li>- 가스 바이오 마커 탐지용 센서 <ul style="list-style-type: none"> <li>. 실현 가능성 및 경제성을 고려하여, 가스 바이오마커 3종 이상 선정</li> <li>. 질병 진단을 위한 최저 검출 농도, 상호 선택성 및 방해 가스 선택성 등 평가</li> <li>. 센서 성능 검증에 대한 인증</li> </ul> </li> <li>- 센서 측정기 <ul style="list-style-type: none"> <li>. 과제 기간내에 2종 이상 센서 측정기 제작</li> <li>. 호기 환경하에, 타겟 가스 최저 농도에 대한 성능 평가</li> </ul> </li> </ul> </li> </ul>							

- . 호기 환경하에, 장기 안정성 평가
- . 센서 측정기 성능 검증에 대한 인증

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수  
 바이오마커 검출 종류(종), 검출 한계(pg/ml), 분석 시간(분), 진단 민감도(%)

## 2. 지원 필요성

### □ 지원 필요성

- (정책적 측면) 호기를 이용한 질병진단법은 비침식적인 방법으로 사용자가 손쉽게, 특정 질병을 조기에 발견할 수 있는 기술임. 초기에 질병을 진단함으로써, 국민 생활 건강 및 의료비의 절약등에 기여 할 수 있을 것으로 판단됨.
- (기술적 측면) 호기 바이오마커 분석은 이미 오래전부터 매우 다양하고 폭넓게 연구되어왔으나 호기에 포함되어 있는 매우 다양한 가스의 정량분석을 위해서는 아직 감도 및 선택성 그리고 습도에 대한 영향 배제 등 센서 성능이 상용화할 만큼의 수준에 미치지 못해 이에 대한 문제해결이 시급함
- (시장적 측면) 세계적 인구 고령화 추세 및 4차 산업혁명에 의한 스마트 바이오센서 육성에 따라 체외 진단(IVD) 센서 시장 규모는 2016년 615억 달러에서 2025년에는 약 2배로 팽창하여 1,237억 달러의 거대산업으로 발전할 것으로 예측됨
- (사회적 측면) 인구 고령화와 비만 인구의 증가로 생활습관성 만성질환 등이 증가하고 있으므로 개인 맞춤형 건강관리를 위해서 사용자가 편리하게 가정에서 호기 가스의 성분을 분석하기 위한 센서 개발이 필요함

### □ 활용분야

- 개인 맞춤형 전주기적으로 호기가스를 정밀하게 측정할 수 있고 휴대가 가능하며, 가격 경쟁력이 있는 모니터링 센서 시스템

## 3. 지원기간/예산/추진체계

- 기간 : 57개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 5차년도 : 각각 12개월)  
(1단계 33개월, 2단계 24개월)
- 정부지원연구개발비 : '24년 5.48억원 이내(총 정부출연금 43.5억원 이내)
- 주관연구개발기관 : 제한없음
- 기술료 징수여부 : 징수

품목번호	K센서-품목-04		산업 기술 분류	중분류 I		중분류 II			
품목유형	<input checked="" type="checkbox"/> 원천기술 <input type="checkbox"/> 혁신제품			반도체 소자 및 시스템		전기전자부품			
융합유형	<input checked="" type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input type="checkbox"/> 해당없음								
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차								
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)								
품목명	다중 바이오마커 센서기반 초고감도 패혈증 고속진단 시스템 (TRL : [시작] 3단계 ~ [종료] 6단계)		품목코드 (HSK10)	류	호	소호	통계부호		
				8	5	4	1	5	1
<b>1. 개념 및 개발내용</b>									
<input type="checkbox"/> <b>개념</b> <ul style="list-style-type: none"> <li>○ 패혈증 환자에서 채혈된 혈액 내 엑소좀 다중 바이오마커의 측정이 가능한 미세 유체 구조 통합형 고감도 어레이 센서 개발과 현장진단이 가능한 고속진단 시스템 개발           <ul style="list-style-type: none"> <li>- 병원균 또는 감염 세포로부터 분리된 엑소좀 (단백질, 유전자 함유) 바이오마커</li> <li>- 혈액 내 혈장 추출 및 나노미터 크기의 엑소좀 농축이 가능한 MEMS 반도체 기반 미세 유체 소자</li> <li>- 엑소좀 정량 및 엑소좀 내 단백질/유전자 등의 고감도 검출이 가능한 MEMS 반도체 센서</li> <li>- 다중 바이오마커 동시 검출을 위한 다채널 판독출력통합회로 (ROIC)</li> <li>- 패혈증 진단 정확도 향상을 위한 인공지능 기반 진단 알고리즘</li> <li>- 다중 바이오마커 센서 기반 패혈증 진단 임상 유효성 평가</li> </ul> </li> </ul>									
<input type="checkbox"/> <b>개발내용</b> <ul style="list-style-type: none"> <li>○ 패혈증 환자에서 채혈된 혈액 내 엑소좀 다중 바이오마커의 측정이 가능한 미세 유체 구조 통합형 고감도 어레이 센서 개발과 현장진단이 가능한 고속진단 시스템 개발           <ol style="list-style-type: none"> <li>1) 패혈증 관련 바이오마커 스크리닝</li> <li>2) MEMS 반도체 기반 고 민감도 패혈증 바이오마커 검출 기술 개발</li> <li>3) 다중 바이오마커 동시 검출을 위한 다채널 ROIC 기술 개발</li> <li>4) Machine learning 기반 최적 진단 알고리즘 개발</li> <li>5) 패혈증 초고속 조기진단 시스템 집적 및 임상 실증 평가</li> </ol> </li> </ul>									
연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수 <b>바이오마커 검출 종류(종), 검출 한계(pg/ml), 분석 시간(분), 진단 민감도(%)</b>									
<b>2. 지원 필요성</b>									

□ 지원 필요성

- (정책적 측면) 국민의 건강 관리를 위해 다중 엑소좀 바이오마커를 분석하여 정확한 패혈증 진단 결과 및 치료전략 수립과 관련된 정보를 의료진에게 제공 필요
- (기술적 측면) 패혈증은 감염으로 인해 여러 장기의 기능장애를 일으키는 심각한 염증성 질환으로, 발병률은 연간 10만 명당 270명으로 추산되며, 약 26%의 사망률을 보임. 특히 조기진단에 실패하여 패혈성 쇼크로 병이 진전될 경우, 사망률은 40~60%로 급격히 증가함. 기존 패혈증 진단방식은 체온, 맥박수, 혈압, 백혈구 수치 등을 확인해 정성적으로 진단하거나, 48시간 이상 걸리는 혈액배양법을 통해 확진하고 있어 효과적인 치료가 이루어지지 않고 있음. 원인균 또는 증상에 따라 치료 방법이 다르기 때문에, 빠른 시간 내에 높은 정확도로 패혈증을 진단할 뿐만 아니라 치료 전략 수립에 도움을 줄 수 있는 다중 바이오마커 기반 진단 시스템의 개발이 중요함
- (시장적 측면) 세계의 패혈증 진단 시장 규모는 2020년에 5억 6,949만 달러로 평가되었으며, 2021-2030년간 연평균 복합 성장률(CAGR) 7.8%로 성장하여 2030년까지 12억 758만 달러에 이를 것으로 예측됨
- (사회적 측면) 코로나19 등 신변종 감염병의 출현에 따라 증가하는 패혈증 진단에 대한 수요 또한 증가하고 있어 제품 개발 완료 후 빠르게 시장을 선점할 수 있을 것으로 예상됨

□ 활용분야

- 패혈증 및 감염병의 조기진단 시장
- 체외진단 시약 및 시스템

**3. 지원기간/예산/추진체계**

- 기간 : 57개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 5차년도 : 각각 12개월)  
(1단계 33개월, 2단계 24개월)
- 정부지원연구개발비 : '24년 5.48억원 이내(총 정부출연금 43.5억원 이내)
- 주관연구개발기관 : 제한없음
- 기술료 징수여부 : 징수

품목번호	K센서-품목-05		산업 기술 분류	중분류 I		중분류 II	
품목유형	<input checked="" type="checkbox"/> 원천기술 <input type="checkbox"/> 혁신제품			반도체소자 및 시스템		전기전자부품	
융합유형	<input checked="" type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input type="checkbox"/> 해당없음						
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차						
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)						
품목명	초 고감도 질병 유전체 신속/다중 검출 센서 및 시스템 개발 (TRL : [시작] 3단계 ~ [종료] 6단계)		품목코드 (HSK10)	류	호	소호	통계부호
				9 0	3 1	8 0	9 0 9 9
<b>1. 개념 및 개발내용</b>							
<input type="checkbox"/> 개념							
<ul style="list-style-type: none"> <li>○ 질병 관련 유전체의 초고속 진단을 위한 다중 검출 전기화학센서 및 시스템 개발 <ul style="list-style-type: none"> <li>- 최소침습 또는 비침습을 통해 획득한 검체의 유전체 분자 진단 기술</li> <li>- 전기화학방식의 센서 및 시스템을 통한 검사 기술</li> </ul> </li> </ul>							
<input type="checkbox"/> 개발내용							
<ul style="list-style-type: none"> <li>○ 다중 핵산 검출 기술을 활용한 초고속 현장 진단 기술 개발 (ex), 크리스퍼 유전자 가위, 등온핵산증폭 등) <ul style="list-style-type: none"> <li>- 비인두도말 검체, 혈액 혹은 타액 내 유전자 분석을 위한 바이오칩 기술 개발</li> <li>- 질병 유관 유전체의 특이적 검출을 위한 핵산 시퀀스 최적화 (국산화 가능 타겟 핵산 검지 기술 필수)</li> <li>- 센서 표면 핵산 고정 기술 최적화</li> </ul> </li> <li>○ 신호 측정을 위한 핵산 추출 모듈 및 센서 시스템 개발 <ul style="list-style-type: none"> <li>- 핵산 추출 구현을 위한 소재 및 시스템 개발</li> <li>- 핵산 추출 모듈과 다중 분자진단 센서 집적을 통한 현장형 시스템 구축</li> <li>- 나노구조체를 활용한 신호 증폭 및 전기화학 신호 증폭을 통한 고민감도 병원체 검출 기술 개발</li> <li>- 전기화학 센서 표면 개질의 균일성, 재현성 확보</li> </ul> </li> <li>○ 다중 유전체 검출을 위한 미세유체 집적 센서 기술 개발 <ul style="list-style-type: none"> <li>- 하나의 검체 내 8종 이상의 병원체 다중 검출 센서 개발</li> <li>- 유전자 추출 모듈과 다중 분자진단 센서의 집적을 통한 호흡기 감염병 현장형 분자진단 시스템 구축 (검출시간 &lt; 30분)</li> </ul> </li> <li>○ 경량형 저전력 센서 신호 처리 기술 개발 <ul style="list-style-type: none"> <li>- Point-of-Care를 위한 경량형 다중진단 키트 개발</li> <li>- 저잡음-저전력 구동을 위한 센서 모듈 기반 기술 개발</li> </ul> </li> </ul>							

- 호흡기 감염병 현장형 분자진단 시스템의 실증 평가
  - 임상시료를 이용한 성능 평가  
(임상시료 50 예 이상, 민감도, 특이도)
  - 상용 PCR 장비와의 성능 비교

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수  
**다중 동시검출(8종이상), 검출 민감도, 검출 신속성(30분이내), 검출 정확도, 임상검체 분석**

## 2. 지원 필요성

### □ 지원 필요성

- (정책적 측면) 바이오경제 2.0(2023.07.19. ICT 이후 새로운 기술로서 바이오를 산업 전반의 혁신과 성장동력으로 본격 활용 필요)을 통해 융합 디지털 바이오 혁신 생태계 조성, 반도체 기술을 활용한 맞춤형 자가진단센서등 반도체, 디스플레이, 나노 등 타 기술과 접목한 기술융합
- (기술적 측면) 호흡기 감염병 초고속/고민감도 진단 시스템을 개발하기 위한 일부 원천기술은 확보되었다고 사료됨. 또한, 전 세계적으로 감염병 조기진단 및 선제 방역에 대한 인식이 높아지고 및 투자가 증가함에 따라, 임상 평가가 가능한 시제품을 빠르게 개발하여 시장에 빠르게 진입하는 것이 매우 중요함.
- (시장적 측면) 백신/치료제 개발에 비해 감염병 진단기기 개발 및 제품화는 짧은 기간 내에 저비용으로 가능하기 때문에 대형 기업에 비해 중소·중견기업이 주관으로 수행하기 수월할 것으로 사료 됨. 또한, 코로나19 감염병에 대한 국내 중소·중견 진단기업들의 활약으로 전 세계적인 주목을 받고 있어 제품 개발 이후 글로벌 시장 진출에 어려움이 없을 것으로 판단됨.
- (사회적 측면) 신종 코로나바이러스로 인한 전세계의 사회/경제적 손실은 급성 호흡기 감염병의 신속 현장진단시장 급성장의 원동력이 됨. 또한 선제진료센터, 응급실 등 의료현장 뿐만 아니라 공항, 산후조리원, 학교 등 감염 취약 시설에서 즉각적인 진단과 방역을 위해서는 현장 검사를 통한 신속진단의 중요성이 높아지고 있음

### □ 활용분야

- 미량의 호흡기 바이러스를 현장에서 고감도로 검출할 수 있는 무증폭 분자진단 기반 초고속/고민감도 다중 호흡기 바이러스 검사
- 뇌수막염, 위장, 간염 바이러스나 패혈증 박테리아에 의한 감염을 현장에서 빠르고 정확하게 검사하는 기술

## 3. 지원기간/예산/추진체계

- 기간 : 57개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 5차년도 : 각각 12개월 (1단계 33개월, 2단계 24개월)
- 정부지원연구개발비 : '24년 5.48억원 이내(총 정부출연금 43.5억원 이내)
- 주관연구개발기관 : 제한없음
- 기술료 징수여부 : 징수

품목번호	K센서-품목-06		산업 기술 분류	중분류 I	중분류 II								
품목유형	<input checked="" type="checkbox"/> 원천기술 <input type="checkbox"/> 혁신제품			반도체소자 및 시스템	전기전자부품								
융합유형	<input checked="" type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input type="checkbox"/> 해당없음												
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차												
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)												
품목명	높은 fill-factor와 흡수율이 향상된 마이크로볼로미터 기술 기반 차세대 30만 화소 웨이퍼 레벨 패키지형 열화상 이미지 센서 개발 (TRL : [시작] 3단계 ~ [종료] 6단계)		품목코드 (HSK10)	류	호	소호	통계부호						
				9	0	3	1	8	0	9	0	9	9
1. 개념 및 개발내용													
<input type="checkbox"/> 개념 <ul style="list-style-type: none"> <li>○ 개념: 물체표면에서의 방사열을 감지하는 원적외선 센서</li> <li>○ 기술의 종류             <ul style="list-style-type: none"> <li>- 냉각장치가 필요한 냉각형 센서와 상온에서 동작하는 비냉각형 센서로 구분됨</li> </ul> </li> <li>○ 비냉각형 적외선 센서             <ul style="list-style-type: none"> <li>- 별도의 냉각장치가 필요 없어서 상대적으로 사용이 편리하고 부피가 작으며 가격이 낮음</li> </ul> </li> </ul>													
<input type="checkbox"/> 개발내용 <ul style="list-style-type: none"> <li>○ VGA급 이상 열화상 소자 개발             <ul style="list-style-type: none"> <li>- 고해상도 마이크로볼로미터 FPA (Focal Plane Array) 개발</li> <li>- fill-factor 향상을 위한 2층 구조 마이크로볼로미터 픽셀 개발</li> <li>- 흡수율 향상을 위한 META 표면구조 및 TEC-less 적용 가능한 구조 개발</li> </ul> </li> <li>○ VGA급 이상 microbolometer readout IC 개발             <ul style="list-style-type: none"> <li>- 8인치 기반 200uVrms 이하 저잡음 Sensor interface module 개발</li> <li>- 고정밀 분석을 위한 14-bit microbolometer 용 ADC 개발</li> <li>- 노이즈 저감 및 캘리브레이션 및 소자 불균일 보정 회로 기술 구현</li> <li>- TEC-less 구동을 위한 가변 바이어스 회로 설계 구현</li> </ul> </li> <li>○ VGA급 이상 열화상 패키지 개발             <ul style="list-style-type: none"> <li>- 장기진공수명이 확보된 웨이퍼 레벨 진공 패키징 개발</li> <li>- 방열 특성이 우수한 SMD 타입의 센서 하우징 개발</li> </ul> </li> <li>○ VGA급 이상 열화상 센서 환경성             <ul style="list-style-type: none"> <li>- MILSTD-810G 기반 환경성 확보</li> <li>- 고온 저장/동작성, 및 저온 저장/동작성 확보</li> <li>- 기본 충격 및 고충격, 신뢰성 확보</li> </ul> </li> <li>○ VGA급 이상 열화상 모듈 개발</li> </ul>													

- 소형화 및 저전력 실용화 모듈 개발 포함
- 열화상 ISP (Image Signal Processing) 알고리즘 개발
- 열화상 구동 보드 설계 및 시제품 제작
- 정확성이 확보된 온도산출 Calibration 기술 개발
- USB 및 ETHERNET 인터페이스 보드 개발

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수  
 해상도 (pixel), Pixel pitch (um), Fill-factor (%), 감지소재 TCR 성능 (%/K), 픽셀 저항 균일도 (% @ Chip), 시상수 (ms), 동작률 (%), 구동주파수 (Hz), 센서 소비전력 (mW), NETD (mK), 센서 환경성 (MIL-STD-810G), 센서 신뢰성 (년)

## 2. 지원 필요성

### □ 지원 필요성

- (정책적 측면) 미중 무역갈등의 심화로 인해 중국산 열화상 센서 모듈을 적용한 국내의 고성능 열화상 시스템 제조사의 글로벌 경쟁력이 약화된 사례처럼, 국제 정세와 무관하게 한국 기업들의 글로벌 경쟁력을 유지하기 위해서는 안정적이고 합리적인 가격으로 열화상센서 모듈을 제공할 수 있는 국산 열화상센서 모듈의 개발이 필요함.
- (기술적 측면) 픽셀크기 감소에 따라 입사에너지가 감소하면서 에너지량을 보상하는 80%이상 fill-factor 확보와 8~14um 대역에서 적외선 흡수율을 최대화하는 새로운 구조(2층구조)의 원천기술 개발 필요.
- (시장적 측면) 민수용 비냉각형 적외선 센서는 국산 제품의 부재로 인해 미국, 중국, 유럽(프랑스)의 극소수 제조 기업으로부터 수입되면서 높은 가격, 성능제한(9Hz 이하), 수급의 불안정, 기술지원의 미흡 등으로 인해 국내 열화상 시스템 시장의 활성화가 부진한 상태임.
- (사회적 측면) 비냉각 열화상 카메라 및 모듈의 전세계 출하량은 미국이 45%이고, 중국이 40%를 차지하고 있음. Covid-19이후 중국산 모듈 제품이 국내 열화상 시스템 시장을 잠식하였고, 국내에서 재가공하여 수출할 경우 수출통제와 높은 원가문제에 부딪혀, 열화상센서 모듈 공급 문제를 해결하지 않으면 고부가가치를 창출하기 어려운 상태임

### □ 활용분야

- 국방, 자율주행자동차, 우주항공, 산업, 의료, 소방 등에 주요 산업 분야

## 3. 지원기간/예산/추진체계

- 기간 : 57개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 5차년도 : 각각 12개월)  
(1단계 33개월, 2단계 24개월)
- 정부지원연구개발비 : '24년 5.48억원 이내(총 정부출연금 43.5억원 이내)
- 주관연구개발기관 : 제한없음
- 기술료 징수여부 : 징수



## ⑤ 차세대지능형반도체기술개발(설계,제조) [시스템반도체상용화설계]

관리번호	차세대SOC-품목-01		산업 기술 분류	중분류 I		중분류 II	
과제유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품			반도체소자 및 시스템		전기전자부품	
융합유형	<input checked="" type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input type="checkbox"/> 해당없음						
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차						
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)						
품목명	스마트홈에서 복합 상황의 고수준 인지를 위한 멀티모달 AI 융합 지능형 반도체 개발 (TRL : [시작] 4단계 ~ [종료] 7단계)		품목코드 (HSK10)	류	호	소호	통계부호
			8 5	2 3	5 2	9 0 0 0	
<b>1. 개념 및 개발내용</b>							
<input type="checkbox"/> 개념 <ul style="list-style-type: none"> <li>주택 공간 내 존재하는 다양한 센서 정보를 멀티모달 AI 기술로 융합하여 '고수준의 환경/상황 정보 및 거주자의 활동 정보'를 고속으로 제공할 수 있는 스마트홈 반도체를 개발             <ul style="list-style-type: none"> <li>주택 공간 내 소수의 센서 정보를 단순 병합/분석하는 것을 넘어, 6종 이상의 다양한 센서 정보 전체를 AI 기술로 융합하여 고수준의 스마트홈 상황/활동을 분석/추출할 수 있는 기술 및 이를 고속 처리하기 위한 반도체 개발</li> </ul> </li> </ul>							
<input type="checkbox"/> 개발내용 <ul style="list-style-type: none"> <li>스마트홈 특화 멀티모달 AI 기반 고수준 상황/활동 인지 기술 개발             <ul style="list-style-type: none"> <li>스마트홈 응용 시나리오 및 인지 대상(상황/활동)* 정의                 <ul style="list-style-type: none"> <li>* (예시) 위급상황 인지 (낙상 사고, 아기의 비상 행동/상황 등), 독거노인 일상 모니터링, 홈어시스턴트, 엔터테인먼트 등</li> </ul> </li> <li>스마트홈 멀티모달 AI 최적 학습을 위한 데이터셋 개발/구축</li> <li>고수준 스마트홈 상황/활동 인지를 위한 멀티모달 AI 모델 개발</li> </ul> </li> <li>스마트홈 특화 멀티모달 AI 융합 지능형 반도체 개발             <ul style="list-style-type: none"> <li>스마트홈 특화 멀티모달 AI 모델의 경량화 개발</li> <li>스마트홈 특화 멀티모달 AI 모델의 가속 처리를 위한 SoC 및 반도체 시제품 개발</li> <li>반도체 구동을 위한 API 및 S/W 라이브러리 개발</li> <li>스마트홈 특화 멀티모달 AI 모델의 연산 코어 간 분할처리 기술 개발</li> </ul> </li> <li>센서 통합 모듈 개발 및 스마트홈 허브 연동 검증             <ul style="list-style-type: none"> <li>단일 모듈 형태의 다중 센서 및 반도체 통합 모듈 개발</li> <li>스마트홈 허브 연동을 통한 실 응용 시나리오에서의 동작 검증</li> </ul> </li> </ul>							
연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수 <b>융합 센서 종류(종), 인지 상황 종류(종), 상황 인식률(%), 처리 속도(msec)</b>							
<b>2. 지원 필요성</b>							
<input type="checkbox"/> 지원 필요성 <ul style="list-style-type: none"> <li>(정책적 측면) 미국, 대만, 일본, 중국, 등의 해외 기업들이 시장의 대부분을 차지하고 있고 심화되는 상황에서 국내 중소·중견 팹리스 기업들의 기술 경쟁력 확보 및 시장 진출을 위한 정부 주도의 적극적인 지원 시급</li> <li>(기술적 측면) 최근 인지 수준/정확도를 대폭 향상시키기 위해 멀티모달 AI 기술의 적용</li> </ul>							

을 활발하게 진행 중이나, 기술의 난이도가 높아 기업 단독으로 개발하기 어려운 상황에서 정부 지원 및 원천 기술을 보유한 대학/연구소와의 협력 개발이 절실

- (시장적 측면) 대규모 스마트홈('27년 약 2,000억불) 및 AIoT('28년 약 1,440억불) 시장에서 국내 중소·중견기업의 점유율이 낮고 경쟁에서 밀리는 상황에서 차별적인 기술을 선제적으로 개발/탑재하여 시장에 조기 진출할 수 있도록 시급한 지원 필요
- (사회적 측면) 스마트홈 멀티모달 AI 및 반도체 기술의 선점을 위한 글로벌 기업 간의 경쟁이 치열한 가운데, 연구개발 시작 단계에 있는 국내 기업들은 기술의 높은 난이도로 인해 진입에 어려움을 겪고 있는 상황

□ 활용분야

- 주택 각 공간에서의 고수준 상황/환경 및 활동 인지를 통한 스마트홈 지능형 제어 활용, 스마트홈 허브 연동을 통한 전체 공간 통합 제어로의 확대 적용
- 스마트 빌딩, 도시, 교통 인프라, 등 AIoT 전 응용 확대 적용

**3. 지원기간/예산/추진체계**

- 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 3차년도 : 각각 12개월)
- 정부지원연구개발비 : '24년 6억원 이내(총 정부출연금 22억원 이내)
- 주관연구개발기관 : 중소·중견기업
- 기술료 징수여부 : 징수

관리번호	차세대SOC-품목-02	산업 기술 분류	중분류 I		중분류 II	
과제유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품		반도체소자 및 시스템		전기전자부품	
융합유형	<input checked="" type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input type="checkbox"/> 해당없음					
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차					
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)					
품목명	실시간 충돌상황 감지 및 회피 지능이 탑재된 로봇충돌 안전용 SoC 통합플랫폼 개발 (TRL : [시작] 4단계 ~ [종료] 7단계)	품목코드 (HSK10)	류 8	호 5	소호 2 3	통계부호 5 2 9 0 0 0
<b>1. 개념 및 개발내용</b>						
<input type="checkbox"/> 개념 <ul style="list-style-type: none"> <li>실시간 충돌 상황 파악에 따른 충돌회피 및 대응 intelligence가 탑재된 충돌 안전용 통합 SoC 개발 <ul style="list-style-type: none"> <li>제품형태 : 실시간 충돌 대응 intelligence가 탑재된 정전용량형 근접센서 SoC 및 모듈</li> <li>기술형태 : 근접 감지 회로, 실시간 충돌 상황 파악 알고리즘, 충돌 대응 intelligence 알고리즘, 모듈 설계 및 검증 기술</li> </ul> </li> </ul>						
<input type="checkbox"/> 개발내용 <ul style="list-style-type: none"> <li>실시간 충돌 상황 파악을 통한 대응 intelligence가 탑재된 충돌 안전용 통합 SoC 및 근접센서 모듈 개발 <ul style="list-style-type: none"> <li>접촉/비접촉 감지를 위한 정전용량형 근접센서용 ASIC 개발</li> <li>실시간 충돌감지 및 대응 intelligence 알고리즘 개발</li> <li>대응 intelligence와 다중 센서 신호처리를 위한 통합 SoC 개발</li> <li>SoC 적용 근접센서 모듈 개발 및 검증</li> </ul> </li> <li>정전용량형 근접 거리 감지가 가능한 근접센서용 ASIC 개발 <ul style="list-style-type: none"> <li>* 근거리 감지가 가능한 근접센서 ASIC 회로 설계 및 제작</li> <li>* 광범위 근접(접촉/비접촉) 감지 및 측정을 위한 ADC 회로 설계</li> <li>* 신호 안정성 및 환경 외란 대응을 위한 shield 회로 설계</li> </ul> </li> <li>실시간 충돌 감지 및 대응 intelligence 알고리즘 개발 <ul style="list-style-type: none"> <li>* 근접(접촉/비접촉) 상황 정보 인식 알고리즘 개발</li> <li>* 충돌 대응 intelligence 알고리즘 개발</li> <li>* 외부 환경 및 외란 대응 알고리즘 개발</li> </ul> </li> <li>충돌 대응 intelligence 알고리즘이 탑재된 근접센서용 SoC 개발 <ul style="list-style-type: none"> <li>* 프로세서, 다중 센서 신호처리 및 출력을 위한 통합 SoC 회로 설계 및 제작 (단, 기술 개발과 사업화 측면에서 유리한 경우 패키징에 의한 통합 칩 개발 가능)</li> <li>* 충돌 감지 및 충돌 대응 intelligence 알고리즘 탑재</li> </ul> </li> <li>충돌 대응 SoC 적용 근접센서 모듈 개발 및 검증 <ul style="list-style-type: none"> <li>* 충돌 안전용 통합 SoC를 적용한 근접센서 모듈 개발</li> <li>* SoC 통합 근접센서 모듈 성능검증 및 어플리케이션 개발</li> </ul> </li> </ul>						
연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수 ADC 해상도(bit), ADC 샘플링 속도(kHz), 근접 감지 각도(도(°)), 근접 감지 거리(cm)						
<b>2. 지원 필요성</b>						

□ 지원 필요성

- (정책적 측면) 미국내 로봇/기계 기업들과 반도체 관련 기업들의 공동 기술개발을 정부에서 주도하여, 경쟁력있는 제품을 개발 및 상용화하여 국내기술 기반 제품들을 세계시장에 출시할 수 있도록 지원이 필요함
- (기술적 측면) 비접촉 및 접촉 감지가 가능한 근접센서 시장은 이제 형성되는 시기이며, 아직 전세계적으로 몇 개의 업체만 제품을 출시하고 있는 신시장이므로 이에 진입하기 위해 관련 기술 및 칩 기술개발이 시급한 상황으로 로봇용 근접센서는 아날로그 IC가 핵심적인 요소이며, 로봇 어플리케이션을 위해 알고리즘이 탑재된 고성능의 SoC 기술 확보가 필수적임
- (시장적 측면) 로봇용 센서의 시장 규모는 2조 원(2021년 기준)에서 6조 원(2028년)으로 급속히 성장할 것으로 예상됨(Global Market Insight 자료 참고) 협동로봇 및 모바일 서비스 로봇의 안전성을 위한 Human-Robot Interaction을 위한 로봇용 센서 시장은 새롭게 형성되고 있으며, 해당 시장에 진입 시 큰 기대수익을 창출할 수 있을 것으로 기대됨
- (사회적 측면) 로봇 기술의 고도화로 식품 및 서비스 분야에서 로봇 활용이 확대되면서, 로봇의 활용이 산업에서 일상생활로 빠르게 확장되는 중임. 본 과제는 로봇 기술의 고도화 및 로봇의 일상생활에 스며드는 사회적 현상을 가속시킬 것으로 기대됨

□ 활용분야

- 근접 감지 및 충돌 대응이 가능한 SoC는 협동로봇에 적용되어 로봇이 사람이 다가오거나 충돌하는 상황을 감지하고 대응이 가능하게 함으로써, 로봇이 펜스를 넘어 실제 산업현장 및 스마트팩토리에 적용될 수 있으며, 음료/식품 분야 및 홈서비스, 의료분야에까지 다양한 서비스 분야에 적용이 가능해짐
- 협동로봇 외에도 모바일로봇, 실내 서빙로봇 등 사람과 공존하여 충돌의 위험이 있거나 장애물을 인식하여 회피하여야 하는 로봇 및 기기에 활용될 수 있음
- 이외에도 고성능의 ADC는 로봇의 다양한 계측장비에도 적용될 수 있어 그 활용방안이 매우 넓은 기술임

3. 지원기간/예산/추진체계

- 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 3차년도 : 각각 12개월)
- 정부지원연구개발비 : '24년 6억원 이내(총 정부출연금 22억원 이내)
- 주관연구개발기관 : 중소·중견기업
- 기술료 징수여부 : 징수

관리번호	차세대SOC-품목-03		산업 기술 분류	중분류 I	중분류 II			
과제유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품			반도체소자 및 시스템	전기전자부품			
융합유형	<input checked="" type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input type="checkbox"/> 해당없음							
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차							
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)							
품목명	초소형/저전력 Tiny-AI 기술을 적용한 멀티파장 광신호 융합반도체 개발 (TRL : [시작] 5단계 ~ [종료] 7단계)		품목코드 (HSK10)	류	호	소호	통계부호	
				8 5	2 3	5 2	9 0 0 0	
<b>1. 개념 및 개발내용</b>								
<input type="checkbox"/> 개념								
<ul style="list-style-type: none"> <li>○ 기술 개념 <ul style="list-style-type: none"> <li>- 자율이동체의 지능화/안전화 확보를 위한 광신호 및 이미지 복합센서 기반 융합 반도체 기술개발</li> <li>- 노면 상태 및 인지 정보를 판단할 수 있는 분별력 있는 복합센서 활용과 입력 복합센서 데이터의 분석 및 판단을 위한 초소형 Tiny-AI 기술 및 Stand-Alone 형태의 모듈 구현을 위한 On-Device Training 기반 모듈 형태</li> <li>- 다양한 도로 주행환경(빙판길/블랙아이스, 빗물, 장애물, 표지판 등)에 대한 정확한 판단을 위한 SWIR 멀티파장 광신호 및 이미지 검출기술, 인지 확장성을 위한 복합센서 응용기술 및 인지 판단/Stand-Alone 형태 모듈 구현을 위한 초소형/저전력 Tiny-AI 구현 기술</li> </ul> </li> </ul>								
<input type="checkbox"/> 개발내용								
<ul style="list-style-type: none"> <li>○ 열악한 환경(안개, 폭우, 빙판, 역광)에서도 노면상태를 판단할 수 있는 멀티파장 복합센서와 Tiny-AI 반도체 기술을 적용한 융합반도체/모듈 개발</li> <li>○ 노면상태 인식 및 인지 확장을 위한 포토닉 칩렛 기반 복합센서 융합기술개발 <ul style="list-style-type: none"> <li>- 다양한 노면상태 인식을 위한 멀티파장 광신호 및 광 검출기 개발</li> <li>- 노면상태 별 파장 특성 분석 및 이중 시야각 광학 빔 조향(Beam Steering) 기술개발</li> <li>- 검출 거리 대비 저전력 모듈 구현을 위한 광학 빔 구동 최적화 제어 기술개발</li> <li>- 다중 센서 제어 및 정합, 복합 기술개발</li> </ul> </li> <li>○ 복합센서 영상인지 및 판단을 위한 Tiny-AI 반도체 기술개발 <ul style="list-style-type: none"> <li>- Stand-Alone 형태 모듈 구현에 적합한 On-Device Training 기술개발</li> <li>- 외부 메모리가 필요 없는 Tiny-AI 기술개발</li> <li>- Tiny-AI 인식을 위한 센서 전처리 영상 처리 기술개발</li> </ul> </li> </ul>								
연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수 <b>노면 판단 거리(m), 노면 상태 분류 개수<sup>주1)</sup>(개), 복합 센서 개수(종), 노면 상태 인식률<sup>주2)</sup>(%), 열악  <b>운행 환경<sup>주3)</sup>(종)</b> </b>								
주1) 노면 상태 분류 개수 중 사고방지를 위하여 안전주행과 관련된 블랙 아이스 및 수막은 모두 포함되어야 함. 주2) 노면 상태 인식률은 주간/맑은 날을 기준으로 영상정보만 활용할 때의 기준임(야간 제외) 주3) 열악 운행 환경은 비/눈/안개 등의 기상환경과 저조도/역광 등 광학 환경 중 각 1종 이상을 포함								
<b>2. 지원 필요성</b>								
<input type="checkbox"/> 지원 필요성								
<ul style="list-style-type: none"> <li>○ (정책적 측면) 세계시장을 선도하고 이는 국내 자동차 산업의 세계 경쟁력 확보를 통하여 국내외 산업기반을 확보하고 이를 통하여 자율차 시장을 선도함으로써 신 고용 창출 및 저탄소 산업의 교두보를 확보할 수 있음</li> </ul>								

- (기술적 측면) 블랙아이스, 수막, 안개, 폭우, 강설 등의 자동차 안전에 직접 영향을 주는 상태에 대한 안전성을 확보하는 것이 향후 자율주행차의 안전성에 직결되기 때문에 최근 다양한 센서 기술을 활용한 개발이 진행되고 있음
- (시장적 측면) 다양한 센서를 활용하는 자동차의 고가화 등에 안전과 직결되는 기술을 구현/제공함으로써 경제적 수익을 확대할 수 있고, 국내 자동차 제조사의 경쟁력 확보에 기여함으로써 수출 증대의 효과를 확보할 수 있음
- (사회적 측면) 사람의 안전을 위한 다양한 센서기술이 개발 & 적용되고 있는 시점에서 복지 측면의 보편적 안전활용에 적용이 가능하여 국민 전체의 삶의 질 향상에 기여

□ 활용분야

- 자율이동체 뿐만 아니라, 가로등, 전봇대 등에 적용하여 보행자 및 주행차량의 안전과 삶의 질을 높여주는 신개념 스마트시티에 활용 가능

**3. 지원기간/예산/추진체계**

- 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 3차년도 : 각각 12개월)
- 정부지원연구개발비 : '24년 6억원 이내(총 정부출연금 22억원 이내)
- 주관연구개발기관 : 중소·중견기업
- 기술료 징수여부 : 징수
- 기타 : 수요기업 참여필수

관리번호	차세대SOC-품목-04		산업 기술 분류	중분류 I		중분류 II	
과제유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품			반도체소자 및 시스템		전기전자부품	
융합유형	<input checked="" type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input type="checkbox"/> 해당없음						
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차						
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)						
품목명	멀티모달 처리 및 저지연 동작을 위한 모빌리티용 AI 반도체 개발 (TRL : [시작] 5단계 ~ [종료] 7단계)		품목코드 (HSK10)	류	호	소호	통계부호
				8 5	2 3	5 2	9 0 0 0
<b>1. 개념 및 개발내용</b>							
<input type="checkbox"/> 개념							
<ul style="list-style-type: none"> <li>○ 모빌리티의 특성을 고려하여 기존 AI 반도체 대비 다양한 센서의 데이터를 처리할 수 있고, 이를 이용한 AI 모델을 저지연으로 동작할 수 있는 엣지 AI 반도체 기술</li> </ul>							
<input type="checkbox"/> 개발내용							
<ul style="list-style-type: none"> <li>○ 모빌리티의 특성을 고려하여 멀티모달 센서 신호 처리와 저지연 AI 처리가 가능한 AI 반도체를 개발하고 이를 활용한 모빌리티용 AI 응용 플랫폼 개발</li> <li>○ 다양한 센서 (5종 이상) 데이터 전처리 및 멀티모달 알고리즘 개발 <ul style="list-style-type: none"> <li>- 다양한 센서 (5종 이상)의 입력을 받을 수 있는 모듈 및 전처리 알고리즘 및 IP 개발</li> <li>- 복합 센서를 활용한 모빌리티용 멀티모달 알고리즘 및 IP 개발</li> </ul> </li> <li>○ 다양한 모빌리티 응용 환경에 적용할 수 있는 멀티모달 응용 저지연 AI 기술 <ul style="list-style-type: none"> <li>- 저지연 응용을 위한 AI 모델 경량화 기술 개발</li> <li>- 멀티모달 응용 AI 기술을 활용하여 모션 또는 패턴 인식 기술 개발</li> </ul> </li> <li>○ 모빌리티용 멀티모달 저지연 AI 반도체 및 응용 플랫폼 개발 <ul style="list-style-type: none"> <li>- 모빌리티의 빠른 반응 속도를 위한 저지연 AI 반도체 및 모듈 개발</li> <li>- 모빌리티용 멀티모달 저지연 AI 플랫폼 및 API, 라이브러리 개발</li> <li>- 저지연 AI 반도체 플랫폼을 활용하여 다양한 모빌리티 응용 개발 (예시 : 모션 인식, 멀티모달 데이터(열화상, LiDAR, etc.)기반 객체 인식, 번호판 인식, 운전자 상태 모니터링, 등)</li> </ul> </li> </ul>							
연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수 동시 처리 가능한 멀티모달 데이터 종류(종), AI 반도체 처리 성능(OPs/mm <sup>2</sup> ), 지원하는 AI 모델 수(개), AI 모델 연산 지연시간(ms)							
<b>2. 지원 필요성</b>							
<input type="checkbox"/> 지원 필요성							
<ul style="list-style-type: none"> <li>○ (정책적 측면) 모빌리티 응용 플랫폼에서 주로 사용되는 상용 임베디드 플랫폼을 벗어나기 위해서는 플랫폼을 이용하는 사용자의 편의성, 신뢰도 개선이 필요하며, 이는 AI 반도체 설계자부터 응용 서비스 설계자까지의 다양한 직군의 융합적 노력이 필요하므로 정부 정책으로 기술 개발의 중요성을 강조하고, 개발 인력 지원이 필요함</li> <li>○ (기술적 측면) 최근 모빌리티에서 요구하는 AI 수요는 갈수록 늘어나지만, 높은 정확도의 AI 동작을 위해서는 높은 연산량의 비용이 동반됨. 이는 제한된 모빌리티의 연산 처리 능력으로 인해 모빌리티에서 AI 동작 수행 시 반응 속도가 느려지는 문제가 발생하여 실시간성이나 동작 안정성 확보가 필수적인 작업에서는 AI 연산을 수행하는 것에 무리가 있음</li> </ul>							

- (시장적 측면) NVIDIA가 선점 및 독점하고 있는 GPU 시장에서 응용이 명확한 저지연 AI 반도체 기술 개발을 통해 GPU에 종속적인 임베디드 플랫폼을 벗어날 기회 창출
- (사회적 측면) 최근 AI 시스템은 자동차, 의료기기, 산업기기 등으로 응용 분야를 확장하고 있으며, AI 반도체는 AI 시스템에 적용되어 사회, 문화적으로 크게 이용될 것으로 예측됨

□ 활용분야

- 기존의 인공지능 플랫폼에서 활용하고 있는 범용적인 연산을 수행하는 상용 CPU 및 GPU를 대체할 수 있는 저지연/저전력/저비용의 AI 반도체를 개발

3. 지원기간/예산/추진체계

- 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 3차년도 : 각각 12개월)
- 정부지원연구개발비 : '24년 6억원 이내(총 정부출연금 22억원 이내)
- 주관연구개발기관 : 중소·중견기업
- 기술료 징수여부 : 징수
- 기타 : 수요기업 참여필수

관리번호	차세대SOC-품목-05		산업 기술 분류	중분류 I		중분류 II	
과제유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품			반도체소자 및 시스템		전기전자부품	
융합유형	<input checked="" type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input type="checkbox"/> 해당없음						
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차						
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)						
품목명	수동 광통신망(PON: Passive Optical Network)용 MAC SoC 개발 (TRL : [시작] 5단계 ~ [종료] 7단계)		품목코드 (HSK10)	류	호	소호	통계부호
				8 5	2 3	5 2	9 0 0 0
<b>1. 개념 및 개발내용</b>							
<input type="checkbox"/> 개념							
<ul style="list-style-type: none"> <li>○ 50G급 수동 광통신망(PON: Passive Optical Network)용 MAC SoC 개발 <ul style="list-style-type: none"> <li>- PON 기술은 단일 광케이블을 통하여 다수의 가입자에 시분할 기술을 이용하여 통신서비스를 제공하는 방식으로, 2000년 이후 대부분의 가입자 네트워크에 사용된 기술임. 주요 기술 요소로 광부품, 통신 반도체로 구성되며 이중 핵심인 통신 반도체는 주요 글로벌 기업들이 대부분 공급하고 있음</li> <li>- PON 기술은 1세대인 2.5G급 GPON (Gigabit Passive Optical Network) 기술이 2004년 제정되어 최근까지 사용되고 있으며, 2012년 제정된 2세대 10G급 XGSPON (10 Gigabit Symmetrical Passive Optical Network) 기술은 2022년부터 점차 채택되고 있음</li> <li>- 본 과제에서는 50G급 국제 표준인 ITU-T G.9804 (50G-PON)이 적용된 ONU (Optical Network Unit)용 MAC (Medium Access Control)을 위한 SOC (System On Chip)을 개발함</li> <li>- 시장조사기관에 따르면, 50G급 PON 기술은 향후 5년 후에 보편화 될 것으로 예상되는 제품으로, 미국 브로드컴, 코티나 및 중국 화웨이, ZTE 등에서 개발을 진행하고 있으며, 2027년 이후부터 시장에서 사용될 것으로 예상됨</li> </ul> </li> </ul>							
<input type="checkbox"/> 개발내용							
<ul style="list-style-type: none"> <li>○ ITU-T G.9804.xx 표준을 만족하는 ONU용 MAC SoC 개발</li> <li>○ ITU-T G.9804.xx 표준을 만족하는 OMCI (ONU Management Control Interface) 및 소프트웨어 개발</li> <li>○ SoC 구동을 위한 RTOS (Real Time Operating System) 개발</li> <li>○ 50Gbps 급 PON ONU용 MAC SoC 개발 <ul style="list-style-type: none"> <li>- 50Gbps 용량의 이더넷 패킷을 처리하는 이더넷 스위치 구조 개발</li> <li>- 하향 50Gbps 및 상향 25Gbps PON 프레임 설계 기술 개발</li> <li>- 패킷 처리용 전용 프로세서 개발</li> <li>- ITU-T G.9804.2에서 지원하는 LDPC (Low-density parity-check code) (17280, 14592) 개발</li> </ul> </li> <li>○ 50Gbps 급 PON MAC SoC 소프트웨어 개발 <ul style="list-style-type: none"> <li>- PON 구동을 위한 Real-Time OS (Operating System) 개발</li> <li>- PON OMCI 프로토콜 스택 개발</li> <li>- 이더넷 스위치 구동을 위한 Micro-Code 펌웨어 개발</li> </ul> </li> </ul>							
연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수 ITU-T G.9804 표준 준수 여부, 상향/하향 Line-rate, 전력 소모, 동작 온도, 전송 거리 등							
<b>2. 지원 필요성</b>							

□ 지원 필요성

- (정책적 측면) PON 반도체 기술은 2세대 10G급 제품부터 국내에서 경쟁력을 갖추고 있는 광통신 반도체 기술 분야이며, 글로벌 시장에서 충분히 경쟁력을 가질 수 있음을 보여주고 있음. 따라서 추가적인 50G급 고성능 반도체 기술 개발을 통하여 차세대 제품 경쟁력을 확보할 수 있도록 정부지원이 필요함. 한편 본과제를 통하여 확보된 다양한 핵심 IP (Intellectual Property)는 전체적인 산업 경쟁력을 확보할 수 있는 기반 기술로서 정부의 역할이 매우 큰 분야임
- (기술적 측면) 고성능 광통신 기반의 PON 시장은 매우 빠르게 성장하고 있으며, 관련 기술 권고안도 2022년 제정 완료되었으며, 글로벌 선두업체들을 중심으로 관련 통신 반도체를 개발 중임. 이에 따라 국내에서도 10G 이후의 제품 경쟁력 및 핵심 기술 확보를 위한 개발 지원이 필요함
- (시장적 측면) 통신 반도체의 경우, 한번 채택되면 최소 10년 이상 장기적으로 사용되는 제품 라이프 싸이클이 매우 긴 분야로 향후 개발 완료 시 10년 이상 지속적인 수출이 가능, 향후 국내 통신 단말 제조 업체의 제품 경쟁력 확보를 위해 반도체 공급망 자립화가 매우 필요하므로 이를 위한 정부 차원의 적극적인 투자가 필요함
- (사회적 측면) 통신 반도체 SoC 개발 인력의 풀은 국내에서 매우 협소한 상황이므로, 본 기술 개발을 통하여 반도체 고급 설계 인력 양성 및 개발 환경 구축 등 사회적으로 매우 큰 기여를 할 것으로 예상됨. 또한 제품 양산을 통한 기술 지원 인력, 생산 인력 및 마케팅 인력 등 다양한 형태의 일자리 창출에도 많은 기여를 할 것으로 예상됨. 추가적으로 최고 기술 제품 출시를 통해 국가의 이미지를 제고하는 효과도 아울러 기대됨

□ 활용분야

- PON 반도체 기술은 통신 반도체 단말에 핵심이 되는 주요 부품이며, 개발을 통하여 다양한 형태의 단말 제품(ONT, ONU, 폰스틱, 일체형 WiFi AP 등)에 직접적으로 활용할 수 있으며, 개발을 통하여 확보된 다양한 IP는 향후 관련 제품 설계 등에 직·간접적으로 활용 가능

3. 지원기간/예산/추진체계

- 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 3차년도 : 각각 12개월)
- 정부지원연구개발비 : '24년 6.45억원 이내(총 정부출연금 22.45억원 이내)
- 주관연구개발기관 : 중소·중견기업
- 기술료 징수여부 : 징수

관리번호	차세대SOC-품목-06		산업 기술 분류	중분류 I		중분류 II	
과제유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품			반도체소자 및 시스템		전기전자부품	
융합유형	<input checked="" type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input type="checkbox"/> 해당없음						
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차						
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)						
품목명	초소형/고화질 3D 내시경용 CMOS 영상센서 (TRL : [시작] 5단계 ~ [종료] 7단계)		품목코드 (HSK10)	류	호	소호	통계부호
				8 5	2 3	5 2	9 0 0 0
<b>1. 개념 및 개발내용</b>							
<input type="checkbox"/> 개념							
<ul style="list-style-type: none"> <li>○ 일반적인 영상 센싱 환경과는 달리 어두운 생체 내 낮은 광량 환경에서도 3D 영상 획득이 가능한 내시경용 초소형/고화질 CMOS 영상 센서 기술 <ul style="list-style-type: none"> <li>- 제품형태: 캡슐형/일회용/최소 침습 수술 등 다양한 내시경 응용 분야의 영상 처리 시스템과 연동 가능한 내시경용 CMOS 영상 센서 개발. 특히, 내시경 환경을 고려한 초소형, 고화질, 3D 영상 지원</li> </ul> </li> </ul>							
<input type="checkbox"/> 개발내용							
<ul style="list-style-type: none"> <li>○ 낮은 광량 환경에서도 3D 영상 획득이 가능한 내시경용 초소형/고화질 CMOS 영상 센서 기술과 디지털 줌을 위한 영상 처리 기술</li> <li>○ CMOS 영상 센서 기술 <ul style="list-style-type: none"> <li>- 어두운 생체 내 환경(0.01lx 이하)에서도 고품질 영상을 제공할 수 있는 생체 이미징 기술</li> <li>- 인체 내 수분, 구성물질 등 환경에 따라 고품질의 영상 획득 기술</li> <li>- 시술/수술 환경을 고려한 입체 영상 (3D) 지원이 가능한 CMOS 픽셀 기술</li> </ul> </li> <li>○ 초소형 설계 기술 <ul style="list-style-type: none"> <li>- 인체 내 동작 환경에서 높은 신뢰도로 동작할 수 있는 초소형/저전력 CMOS 영상 센서 개발</li> <li>- 최소 침습 수술 및 치료 기능과 집적을 위하여 제한된 사이즈 내에서 고분해능을 제공할 수 있는 초소형 CMOS영상 센서 소형화 설계 및 초소형 패키징 기술</li> </ul> </li> <li>○ 고성능/실시간 설계 기술 <ul style="list-style-type: none"> <li>- 데이터 손실과 지연 없는 대용량 실시간 영상 전송 기술 (전송거리 3m 기준)</li> <li>- 실시간 임상 지원을 위한 이미지 프로세싱 및 인식 기술</li> <li>- 광학 센서로 볼 수 없는 조직 내 질병 검출을 위한 초음파/형광/IR 등 다중 광원 기술과 검출 기술 개발</li> </ul> </li> </ul>							
연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수 저조도 환경(lx), 해상도, 3D 영상지원 여부, 픽셀사이즈(um), 이미지 프레임 레이트(fps), 다중 광원 기술(종), Standard 기반 interface 기술							
<b>2. 지원 필요성</b>							
<input type="checkbox"/> 지원 필요성							
<ul style="list-style-type: none"> <li>○ (정책적 측면) 내시경 등의 생체 내 영상 처리와 같은 의료 정보를 활용 하기 위한 정책적 지원이 요구됨. 특히, 올림푸스 및 소니 등은 내시경용 CIS 개발을 위한 합작회사를 설립하는 등 세계적 경쟁 치열해지고 있음. 국내에서는 캡슐형 내시경, 복강경 등을 개발/제품화하였으나, 핵심 기술인 내시경용 CIS 제품화 사례 없어, 정부 지원을 통한 원천 기술 확보 필수</li> </ul>							

- **(기술적 측면)** 내시경에 대한 높은 채택률, 최소 침습 절차에 대한 환자와 의사의 선호도증가 등의 요인은 내시경 기술의 지속적인 발전에 기인할 수 있음. 그러나 국내의 경우 핵심 기술이 내시경용 CIS 기술에 대한 제품화 사례가 없으므로 제품화에 대한 원천 기술이 필요함
- **(시장적 측면)** 영상센서를 위한 원천 기술 및 개발 환경에 필요한 재료/장비가 고가이므로 국제 시장에서 경쟁력을 확보하기 위한 기술 개발을 위해서는 경제적 지원이 필수적임
- **(사회적 측면)** 초소형, 고성능, 고해상도 내시경 장비 개발을 통해 의료 서비스 개선 기대

**□ 활용분야**

- 최소 침습 시술 및 수술을 지원하기 위한 캡슐형/일회용 내시경이나 복강경 등을 위장, 신장, 심장, 신경과, 산부인과, 간이식 외과 분야를 중심으로 의료기기 개발 가능

**3. 지원기간/예산/추진체계**

- 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 3차년도 : 각각 12개월)
- 정부지원연구개발비 : '24년 6억원 이내(총 정부출연금 22억원 이내)
- 주관연구개발기관 : 중소·중견기업
- 기술료 징수여부 : 징수
- 기타 : 수요기업 참여필수

관리번호	차세대SOC-품목-07		산업 기술 분류	중분류 I		중분류 II	
과제유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품			반도체소자 및 시스템		전기전자부품	
융합유형	<input checked="" type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input type="checkbox"/> 해당없음						
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차						
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)						
품목명	디지털 치과 응용 경량 인공지능 SoC 기반 지능형 스캐너 플랫폼 (TRL : [시작] 5단계 ~ [종료] 7단계)		품목코드 (HSK10)	류	호	소호	통계부호
			8 5	2 3	5 2	9 0 0 0	
<b>1. 개념 및 개발내용</b>							
<input type="checkbox"/> 개념							
<ul style="list-style-type: none"> <li>○ 의료 영상 진단, 치료 계획 수립, 보철물 디자인 등을 지원할 수 있는 경량 인공지능 SoC 시스템 <ul style="list-style-type: none"> <li>- 제품형태 : 치과진료 임상 의사의 결정을 지원할 수 있는 경량형 인공지능 플랫폼. 치료용 스캐너와 보철물 제작 시스템 등 외부 인터페이스와 연동하여 동작</li> <li>- 기술형태 : 영상진단, 치료계획 수립, 보철물 디자인을 지원할 수 있는 경량 소프트웨어, 주변기기(스캐너, 보철물제작 시스템) 인터페이스가 통합된 지능형 SoC 하드웨어</li> </ul> </li> </ul>							
<input type="checkbox"/> 개발내용							
<ul style="list-style-type: none"> <li>○ 치과 진료용 영상진단, 치료계획 수립, 보철물 디자인 등을 지원할 수 있는 경량 인공지능 SoC 시스템 개발 (소프트웨어, 하드웨어 통합) <ul style="list-style-type: none"> <li>- 소프트웨어 요구 사항 <ul style="list-style-type: none"> <li>* 영상 환경 및 특징점 추출 소프트웨어 개발</li> <li>* CT 데이터와 스캔 데이터의 자동 합성 소프트웨어 개발</li> <li>* 인공지능 기반 치료 계획 수립 소프트웨어 개발</li> <li>* 임상 의사결정 지원 및 제어 소프트웨어 개발</li> </ul> </li> <li>- 하드웨어 요구 사항 <ul style="list-style-type: none"> <li>* 경량 인공지능 지원 SoC</li> <li>* 스캐너 연동 인터페이스</li> <li>* 보철물 제작 시스템 연동 인터페이스</li> <li>* 임상 의사결정 지원 인터페이스</li> </ul> </li> </ul> </li> <li>○ 치과 진료용 경량 인공지능 소프트웨어 개발 <ul style="list-style-type: none"> <li>- 경량 인공지능 처리를 위한 데이터 수집, 저장, 분석 등 관리 기술 개발</li> <li>- 인텔리전트 엡지용 영상 환경 합성 및 특징점 추출 엔진 개발</li> <li>- 영상처리용 경량 인공지능 기반 알고리즘 개발</li> <li>- CT 데이터와 구강 내 스캔 데이터의 auto merge 기술 개발</li> <li>- 임상 의사결정 지원 및 주변 기기 제어 기술 개발</li> </ul> </li> <li>○ 치과 진료용 경량 인공지능 하드웨어 SoC 개발 <ul style="list-style-type: none"> <li>- 환자 피폭 최소화를 위한 고속 영상 획득, 저장, 관리 시스템 개발</li> <li>- 인공지능 학습 및 판단 수행을 위한 고속 저전력 가속엔진 기술 개발</li> <li>- 영상 획득을 위한 스캐너 인터페이스 SoC 집적</li> <li>- 보철물 제작 자동화를 위한 보철물 제작 인터페이스 SoC 집적</li> <li>- 임상 의사결정 지원을 위한 인터페이스 설계/구축</li> </ul> </li> </ul>							
연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수 영상획득/처리시간(초), 영상진단-특징점추출(개), 영상진단-해부학적 특징점 인식 정확도(mm), 임상 의사결정 지원 계획 도출(분), 치과 의료 지원을 위한 외부 인터페이스 연동(개)							

## 2. 지원 필요성

### □ 지원 필요성

- (정책적 측면) 인공지능 기반 디지털 치과 기술의 기반 기술을 확보하기 위한 전방위적 기반 기술 확보를 위하여 정책적 지원 필요
- (기술적 측면) 전문화된 스캔, CAD/CAM, 3D 프린터 등의 장비를 이용한 진단과 가공 과정의 디지털화는 교정, 보철제작과 시술 등 다양한 치과치료 분야에서 저비용 고품질의 서비스 제공을 가능하게 함으로써 환자 개개인에게 다양한 맞춤형 진료를 제공할 수 있어 지속적인 기술 상용화 추세
- (시장적 측면) 영상센서를 위한 원천 기술 및 개발 환경에 필요한 재료/장비가 고가이므로 국제 시장에서 경쟁력을 확보하기 위한 기술 개발을 위해서는 경제적 지원이 필수적임
- (사회적 측면) 치과 진료의 환자 편의성 개선 기대

### □ 활용분야

- 치과 진료의 디지털화를 통한 빠르고 효율적인 인공지능 치과 진료 시스템 구축 활용

## 3. 지원기간/예산/추진체계

- 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 3차년도 : 각각 12개월)
- 정부지원연구개발비 : '24년 6억원 이내(총 정부출연금 22억원 이내)
- 주관연구개발기관 : 중소·중견기업
- 기술료 징수여부 : 징수



## ⑥ 차세대지능형반도체기술개발(설계,제조) (반도체제조공정장비)

품목번호	차세대장비-품목-01		산업 기술 분류	중분류 I		중분류 II		
품목유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품			반도체장비				
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음							
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차							
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)							
품목명	10 nm급 이하 Deep Trench Silicon용 고생산성 및 저손상 원자층 식각장비 (TRL : [시작] 4단계 ~ [종료] 7단계)			품목코드 (HSK10)	류	호	소호	통계부호
					8 4	8 6	2 0	8 4 1 0
1. 개념 및 개발내용								
<input type="checkbox"/> 개념								
<ul style="list-style-type: none"> <li>3D 반도체 제조 기술의 핵심 공정인 식각 공정에서 소자 구조 및 계면층 성분에 따른 효율적인 식각을 위해, 고속 온도 제어 기능을 포함하는 Thermal ALE와 Remote plasma를 이용하는 Plasma ALE를 하나의 chamber에서 구현할 수 있는 고생산성, 저손상 원자층 식각 공정 장비 개발</li> </ul>								
<input type="checkbox"/> 개발내용								
<ul style="list-style-type: none"> <li>DRAM의 Bit Line Contact(BLC) 및 Shallow Trench Isolation(STI) 등의 주요 공정에서 발생하는 계면 결함 및 잔류 부산물 층을 효율적으로 제거할 수 있는 고선택비, 고균일도 원자층 식각 기술 개발</li> <li>원자층 식각 공정 중 기판의 급격한 온도 변화에 대해 고속으로 정밀 제어 가능한 온도 시스템 개발</li> <li>최적의 라디칼 분해 및 기판 공급량 조절을 위한 전력제어가 가능한 ICP 형태의 Remote plasma 시스템 개발</li> <li>고종횡비 구조에서의 계면층 제거시 기판 표면의 저손상 식각이 가능한 고균일도의 저전력 기판 바이어스 인가 시스템 개발</li> <li>실시간 원자층 식각 공정 모니터링 및 온도, 바이어스, 플라즈마 parameter 등의 공정 제어 시스템 개발</li> </ul>								
<p>연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수</p> <ul style="list-style-type: none"> <li>▶ CD 변화율, LER(line edge roughness) control, Etch Uniformity, 생산성(Wfs/hr), 온도 제어, 기판 바이어스 전압제어, Remote 플라즈마 전력 범위 등</li> <li>▶ (세계최고 수준 동등이상의 성능수준 제시 필수) CD 변화율 0.5 nm 이하, LER control 1 nm 이하, Etch Uniformity 3% 이하, Remote 플라즈마 전력 범위 200W~2kW</li> </ul>								
2. 지원 필요성								
<input type="checkbox"/> 지원 필요성								
<ul style="list-style-type: none"> <li>(정책적 측면) 국가 반도체 산업이 현재 글로벌 핵심 분쟁 분야로 대두되는 상황에서, 국내 반도체 산업의 기술 주도 및 시장 점유율 제고를 위해 경쟁력을 선도할 수 있는 핵심 반도체 장비 기술 개발이 필수적임</li> </ul>								

- (기술적 측면) 10 nm급 이하 Deep Trench Silicon 구조를 제작하는 과정에서 형성되는 계면층을 저손상으로 제거하는 기술은 난이도가 높은 기술로 해외 선진 업체들도 개발에 어려움을 겪고 있어 해당 기술 개발 시 초격차 기술선도가 가능함
- (시장적 측면) 글로벌 식각장비 시장은 22년 227억 달러 규모에서 29년까지 연평균 11.22%의 고성장이 예상되는데, 원자층 식각장비는 시장 형성의 초기 단계이므로 국내 업체가 관련 기술 경쟁력을 확보할 경우 초기 시장 선점 효과를 얻을 수 있을 것으로 기대됨
- (사회적 측면) 반도체 소자의 미세공정 난이도가 점차 높아지면서 3D 디바이스 제작에 필수적인 차별화 된 식각기술이며, CO<sub>2</sub> 대비 높은 온실 효과를 갖는 식각 가스의 높은 분해율 및 반응 속도 향상을 통해 국가 탄소 중립 정책에 기여할 수 있는 기술임

□ 활용분야

- 차세대 3D Logic chip 및 DRAM 소자 특성 구현을 위해 고종횡비 구조에서의 계면 손상층 또는 잔류 부산물층 식각 공정에 활용 가능

**3. 지원기간/예산/추진체계**

- 기간 : 33개월 이내 (1차년도 개발기간 : 9 개월, 2~3차년도 : 각각 12 개월)
- 정부지원연구개발비 : '24년 12.63 억원 이내(총 정부출연금 46.3 억원 이내)
- 주관연구개발기관 : 영리기관(산업체)
- 기술료 징수여부 : 징수

품목번호	차세대장비-품목-02		산업 기술 분류	중분류 I	중분류 II		
품목유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품			반도체장비			
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음						
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차						
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)						
품목명	5nm이하 Logic 및 3D DRAM용 SiGe 고선택비 식각장비 (TRL : [시작] 4단계 ~ [종료] 7단계)		품목코드 (HSK10)	류	호	소호	통계부호
				8 4	8 6	2 0	8 4 1 0
<b>1. 개념 및 개발내용</b>							
<input type="checkbox"/> 개념							
<ul style="list-style-type: none"> <li>○ 차세대 파운드리 제품인 5nm 이하의 Logic chip 제조 및 차세대 3D DRAM 제조 기술의 핵심 공정 중 하나인 Si/SiGe 고선택비 등방성 식각 공정을 구현하는 식각 공정 장비 개발</li> </ul>							
<input type="checkbox"/> 개발내용							
<ul style="list-style-type: none"> <li>○ 에칭용 라디칼 및 가스를 활용한 300mm 웨이퍼용 식각 장비개발</li> <li>○ 샤워헤드, 서셉터, 히터 등 챔버 설계 최적화를 통한 식각 균일도 확보</li> <li>○ 챔버 클리닝 공정 최적화를 통한 파티클 저감 기술 개발</li> <li>○ 가스라인 배관 설계 및 필터링 등을 통한 오염도 저감 기술 개발</li> <li>○ 라디칼 대비, 고선택비 구현이 가능한 가스 기반 식각공정 안정화 기술 개발</li> <li>○ Si/Si<sub>x</sub>Ge<sub>y</sub> 의 Stack 구조에서 SiGe 선택비가 100 이상 수준인 식각공정 개발</li> <li>○ Si<sub>x</sub>Ge<sub>y</sub> 에칭 후, 표면 물성 분석 및 구조 분석 기술 개발을 통한 공정 최적화</li> <li>○ TOF MS(Time-of-flight mass spectrometer) 기반의 에칭 후 잔여 Gas 분석을 통한 공정 지능화 및 오염도 관리 가능 식각 장비기술 개발</li> </ul>							
<p>연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수</p> <ul style="list-style-type: none"> <li>▶ 식각 균일도, 식각 선택비, 파티클 개수, 금속 오염도</li> <li>▶ (세계최고 수준 동등이상의 성능수준 제시 필수) Si/Si<sub>0.7</sub>Ge<sub>0.3</sub> 막질 및 Si/Si<sub>0.85</sub>Ge<sub>0.15</sub> 막질 식각 선택비 각각 1/200 및 1/100, 파티클 80nm 기준 50개 미만, 금속 오염도 10<sup>10</sup> atoms/cm<sup>2</sup> 이하 등</li> </ul>							
<b>2. 지원 필요성</b>							
<input type="checkbox"/> 지원 필요성							
<ul style="list-style-type: none"> <li>○ (정책적 측면) 국내 반도체 제조사의 SiGe 공정 개발이 진행 중이며 향후 양산 적용시 안정적인 장비 공급을 위하여 국내 장비사의 기술 개발이 필요한 분야임</li> <li>○ (기술적 측면) 현재 고선택비 공정 기술 분야에서 해외 메이저 업체에 비하여 국내 장비사의 기술 수준이 낮은 편이나 기술 초기 단계이므로 빠른 시간 내에 격차를 줄이는 것이 필요함</li> <li>○ (시장적 측면) 3D 구조에 필수적인 등방성 식각 장비 시장은 현재의 건식 식각 장비시장을 대체할 것으로 평가되며, 양산이 본격적으로 시작되는 2026년까지 개발 완료시 건식 식각 기술의 50% 정도를 대체할 것으로 전망됨</li> </ul>							

- (사회적 측면) 파운드리 칩과 3D DRAM은 저전력, 고효율 칩 제작에 필수적인 기술이며 이를 활용한 PC, 휴대폰 등에 널리 사용됨으로 온실가스 감축에 따른 탄소 중립 정책에 기여하는 기술임

□ 활용분야

- 파운드리, DRAM 등의 3D 디바이스 제작 공정에 필수적임

3. 지원기간/예산/추진체계

- 기간 : 33개월 이내 (1차년도 개발기간 : 9 개월, 2~3차년도 : 각각 12 개월)
- 정부지원연구개발비 : '24년 12.63 억원 이내(총 정부출연금 46.3 억원 이내)
- 주관연구개발기관 : 영리기관(산업체)
- 기술료 징수여부 : 징수

품목번호	차세대장비-품목-03		산업 기술 분류	중분류 I	중분류 II				
품목유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품			반도체장비					
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음								
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차								
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)								
품목명	차세대 저장 솔루션용 2%이하 고균일도, 무손상, 신물질 고속 Etch 장비 (TRL : [시작] 3단계 ~ [종료] 7단계)			품목코드 (HSK10)	류	호	소호	통계부호	
					8 4	8 6	2 0	8 4	1 0
<b>1. 개념 및 개발내용</b>									
<input type="checkbox"/> 개념									
<ul style="list-style-type: none"> <li>○ 차세대 메모리 반도체에서 비휘발성 또는 DRAM 메모리용 정보저장 물질로서 칼코젠 화합물류의 상변화 물질과 High K 산화물 등 여러 가지 화합물 형태로 개발되고 있음</li> <li>- 이러한 저장물질을 초미세 메모리셀 패턴 형성공정에서 고균일도, 무손상, 무오염으로 식각할 수 있는 기술이 필요하며 이를 실현하기 위한 저압, 고속 플라즈마 식각기술과 원자층을 제어 식각할 수 있는 하이브리드 방식 식각장비 개발</li> </ul>									
<input type="checkbox"/> 개발내용									
<ul style="list-style-type: none"> <li>○ 차세대 저장 솔루션용 전극과 정보저장 신물질을 정의하고 나노미터 공정으로 in-situ 식각할 수 있으며 자유로운 식각 균일도 제어 및 저압 공정 가능한 고밀도 플라즈마 소스 기술 개발</li> <li>○ 높은 생산성을 위해 고속으로 박막들이 식각 되어야 하며 동시에 무손상, 2%이내의 고균일도 식각공정 진행을 위해 원자층 단위로 식각을 변환, 조절할 수 있는 식각 공정기술 및 장비 개발</li> <li>○ 마스크와 박막간 식각 선택비를 조절할 수 있으며 원자층 식각을 위한 chemistry 개발</li> <li>○ 금속원소 포함된 식각생성 결합 물질은 공정 중 챔버벽 또는 wafer상 증착되어 wafer간 식각 산물에 의한 오염 및 균일도에 영향을 주며 이를 제어하기 위한 정전척 등 챔버 주요 모듈 및 공정 기술 개발</li> </ul>									
연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수 ▶ 후보 정보저장 신물질수, 식각 균일도, 식각 선택비, 식각속도, 무손상, 파티클 개수 ▶ (세계최고 수준 동등이상의 성능수준 제시 필수) 식각 균일도 2% 이하, 식각속도 TIN 기준 5nm/min 이상, 무손상 문턱전압산포 5% 이하									
<b>2. 지원 필요성</b>									
<input type="checkbox"/> 지원 필요성									
<ul style="list-style-type: none"> <li>○ (정책적 측면) 메모리 반도체 기술 초격차 유지 및 장비 국산화를 통한 반도체 경쟁력 향상에 필수적이며 특히 차세대 저장물질 식각공정은 아직 해외사들도 개발중으로 차별화된 기술 확보시 반도체 제조산업의 초격차 유지가 가능함</li> <li>○ (기술적 측면) 해외사 포함 기존 업계에서 시도하지 않은 독창적 기술로 차세대 메모리 저장솔루션용 다양한 신물질 식각기술에 필수적인 고균일도, 무손상 식각</li> </ul>									

과 양산성을 위한 식각속도 등을 자유롭게 조절 할 수 있는 복합 장비 기술임

- (시장적 측면) 향후 차세대 메모리 반도체 식각장비 시장에서 각종 저장용 물질 식각등의 차별적인 공정 성능을 통해 약 10% 정도(2~3조원)의 식각시장을 확보할 수 있으며 공정의 난이도 증가에 따라 향후 더 확대 가능
- (사회적 측면) 저GWP(지구온난화지수) 지수를 갖는 식각공정가스 적용이 가능한 차세대 저장 솔루션용 신물질 식각공정 장비개발을 통하여 장비 국산화를 통한 고용창출 효과 및 국가 탄소중립 정책에 기여 가능

□ 활용분야

- 차세대 메모리 반도체 저장솔루션용 신물질 식각공정과 고속 식각으로 원자층 제어가 필요한 식각 공정

3. 지원기간/예산/추진체계

- 기간 : 33개월 이내 (1차년도 개발기간 : 9 개월, 2~3차년도 : 각각 12 개월)
- 정부지원연구개발비 : '24년 12.63 억원 이내(총 정부출연금 46.3 억원 이내)
- 주관연구개발기관 : 영리기관(산업체)
- 기술료 징수여부 : 징수

품목번호	차세대장비-품목-04		산업 기술 분류	중분류 I		중분류 II	
품목유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품			반도체 장비			
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음						
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차						
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)						
품목명	차세대 패터닝용 실리콘 및 금속화합물계 소재 증착을 위한 고밀도 플라즈마 ALD 장비 개발 (TRL : [시작] 4단계 ~ [종료] 7단계)		품목코드 (HSK10)	류	호	소호	통계부호
				8 4	8 6	2 0	4 0 0 0
<b>1. 개념 및 개발내용</b>							
<input type="checkbox"/> 개념							
<ul style="list-style-type: none"> <li>○ 차세대 패터닝용 하드마스크에서 SOH(Spin on Hardmask) 대비 식각 선택비 개선을 위한 신소재로 실리콘 및 금속화합물계 소재의 원자 레벨 증착 장비와 증착 공정 및 박막 품질 평가 기술 개발</li> </ul>							
<input type="checkbox"/> 개발내용							
<ul style="list-style-type: none"> <li>○ 반도체 웨이퍼 패터닝용 하드마스크로 사용되는 실리콘 및 금속화합물계 소재를 증착하기 위한 장비로, 고밀도 플라즈마 소스를 ALD(Atomic Layer Deposition)에 결합하여 생산성과 단차피복특성(Step coverage)를 향상시킬 수 있는 증착장비 기술 개발</li> <li>○ 고밀도 Radical 생성이 가능한 신규 플라즈마 소스 모듈 개발</li> <li>○ 고생산성 확보 위한 300mm 웨이퍼 4매이상 동시 공정 가능 챔버 설계 및 최적화</li> <li>○ SOH 대비 선택비&gt;Selectivity) 개선을 위한 신규 ALD 프리커서 기반의 고밀도 플라즈마 증착 공정 개발</li> <li>○ 막내 수소농도 감소 및 플라즈마 데미지 저감을 위한 증착 공정 안정화 기술 개발</li> <li>○ 박막 품질 (Step coverage, Selectivity, Uniformity 등) 평가 기술 개발</li> <li>○ 대면적 챔버 공정 신뢰도 제어 기술 개발 및 안정화</li> </ul>							
<p>연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수</p> <ul style="list-style-type: none"> <li>▶ 단차피복특성(Step coverage), 생산성(UPH), 면적, Radical 밀도, Selectivity, 기판 Damage, 박막 두께 균일도 등</li> <li>▶ (세계최고 수준 동등이상의 성능수준 제시 필수) 박막 두께 균일도 0.5% 수준, UPH(Wafers/hr) 100장 이상 수준, 단차피복특성(Step coverage) 95% 이하 수준 등</li> </ul>							
<b>2. 지원 필요성</b>							
<input type="checkbox"/> 지원 필요성							
<ul style="list-style-type: none"> <li>○ (정책적 측면) 외산 증착장비에 대한 의존도 및 증착 설비 비용이 지속 상승 중으로 외산 장비 수입 대체효과를 기대할 수 있으며, 고밀도 플라즈마 ALD 공정이 가능한 핵심 장비 기술을 확보하여 국내 반도체 기술 자립화에 기여할 수 있음</li> <li>○ (기술적 측면) 지속적인 기술 진보로 고종횡비 패터닝 기술 및 이에 따라 개선된 하드마스크 증착기술이 요구됨에 따라, 고밀도 라디컬 생성이 가능한 신규 플라즈마 모듈의 개발이 요구되며, 고밀도 플라즈마 ALD 공정이 가능한 핵심 장비 기술을 확보하여 국내 반도체 기술 자립화에 기여할 수 있음</li> </ul>							

- (시장적 측면) 패터닝용 하드마스크 증착공정은 반도체 웨이퍼 식각공정 전반에 활용되는 기술이며 반도체 공정에서 식각공정이 차지하는 비율은 전체의 30~40% 수준임. 따라서 장비 기술 개발을 통한 수출 향상 및 원가절감에 따른 시장적 가치가 막대할 것으로 사료됨

□ 활용분야

- DPT, QPT 등 멀티 패터닝 공정 기술 및 V NAND ON stacking 공정 PR 물질 대체
- 차세대 EUV 패터닝

**3. 지원기간/예산/추진체계**

- 기간 : 33개월 이내 (1차년도 개발기간 : 9 개월, 2~3차년도 : 각각 12 개월)
- 정부지원연구개발비 : '24년 12.63 억원 이내(총 정부출연금 46.3 억원 이내)
- 주관연구개발기관 : 영리기관(산업체)
- 기술료 징수여부 : 징수

품목번호	차세대장비-품목-05		산업 기술 분류	중분류 I	중분류 II		
품목유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품			반도체장비			
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음						
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차						
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)						
품목명	3D 메모리 나노패턴 및 국소성분분포 측정용 Raman-Ellipsometry 융합측정장비기술 (TRL : [시작] 3단계 ~ [종료] 7단계)		품목코드 (HSK10)	류	호	소호	통계부호
				9 0	3 1	4 1	9 0 0 0
<b>1. 개념 및 개발내용</b>							
<input type="checkbox"/> 개념							
<ul style="list-style-type: none"> <li>○ 차세대 3D 메모리 반도체 소자 불량분석을 위한 AI 기반 Raman-Ellipsometry MI 장비 융합·지능형 분석 기술개발</li> <li>○ 초박막의 패턴불량, 두께, 조성비, 국소 불순물, 다층박막 내 오염입자 측정 등 기존 기술로 측정이 어려운 측정한계 극복 장비기술 개발</li> </ul> <p>* Raman : 광기반 웨이퍼 표면조성 및 불순물 분석기, Ellipsometry : 광기반 두께-패턴 분석기</p>							
<input type="checkbox"/> 개발내용							
<ul style="list-style-type: none"> <li>○ Raman-Ellipsometry 시스템 융합장비기술 <ul style="list-style-type: none"> <li>- 3과장 이상 다과장 레이저 활용 라만 검출 기술</li> <li>- 라만 조사광 균일도 및 조사 면적 제어 기술</li> <li>- 다과장 대역 (UV-VIS-NIR)에서 4개의 편광소자 편광제어 모듈 및 국소빔 광학계 활용 광학물성·패턴 고신뢰 고속 측정기술</li> </ul> </li> <li>○ Raman-Ellipsometry 활용 다층 박막 내 오염 입자 불량 검출 기술</li> <li>○ Raman-Ellipsometry 에레이 활용 500포인트 이상 대면적 동시 도핑 산포 불량 검출 기술</li> <li>○ Raw 데이터 기반 화학적·물리적 특성 고속 분석 AI 알고리즘 기술</li> <li>○ Raman-Ellipsometry 융합장비 측정 공간 분해능과 두께 측정 재현성 확보 기술개발</li> <li>○ 융합 측정장비 수요연계 기술로드맵 구축 <ul style="list-style-type: none"> <li>- 성능평가-검증을 위한 평가 스펙 도출 및 수요기업 자문연계인가 기술 개발</li> </ul> </li> </ul>							
<p>연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수</p> <ul style="list-style-type: none"> <li>▶ Raman-Ellipsometry 조사광 균일도, 조사 면적 제어범위, 다층 박막내 오염입자 최소크기, AI 알고리즘 적합도 등</li> <li>▶ (세계최고 수준 동등이상의 성능수준 제시 필수) 패턴 및 국소 성분분석: 30 um이하 공간분해능, 0.2 nm 이하 두께 측정 불확도 @ 10 nm 박막, 70장/hr (13 포인트/웨이퍼) 이상의 측정속도</li> </ul>							
<b>2. 지원 필요성</b>							
<input type="checkbox"/> 지원 필요성							
<ul style="list-style-type: none"> <li>○ (정책적 측면) 국내 측정분석장비기업의 규모가 크지 않아 정부지원 없이 막대한 연구비를 투입하기는 현실적으로 어려운 상황이므로 정부지원을 통한 산학연 전문가의 협력만이 개발 및 성공확률을 극대화 할 수 있음</li> </ul>							

- (기술적 측면) 반도체 산업은 빠르게 진화하고 있으며, 새로운 측정 및 분석장비 기술의 개발은 혁신적인 메모리제품의 개발속도 및 수율과 밀접한 연결관계에 있음
  - (시장적 측면) 소수의 글로벌 측정장비기업이 독점하고 있는 상황에서 국내원천기술을 기반으로 개발된 신개념 측정장비기술은 새로운 시장을 개척하고 선점할 수 있음
  - (사회적 측면) 측정분석분야에서의 새로운 기술을 개발하는 과정에서 전문인력이 양성되고 또한 급격히 증가하는 측정분석기술 전문가의 수요도 충족가능함
- 활용분야
- 3D 반도체 소자의 패턴·불순물에 의한 불량분석 및 공정불량 원인분석을 위한 측정·분석기술로 활용

### 3. 지원기간/예산/추진체계

- 기간 : 33개월 이내 (1차년도 개발기간 : 9 개월, 2~3차년도 : 각각 12 개월)
- 정부지원연구개발비 : '24년 12.63 억원 이내(총 정부출연금 46.3 억원 이내)
- 주관연구개발기관 : 영리기관(산업체)
- 기술료 징수여부 : 징수



⑦

## 민관공동투자반도체고급인력양성

품목번호	민관공동-품목-01		산업 기술 분류	중분류 I		중분류 II		
품목유형	<input checked="" type="checkbox"/> 원천기술 <input type="checkbox"/> 혁신제품			반도체 소자 및 시스템				
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음							
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차							
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)							
품목명	고신뢰성 multi-level cell 구현 가능한 Self-rectifying FTJ 어레이 소자 개발 (TRL : [시작] 3단계 ~ [종료] 5단계)			품목코드 (HSK10)	류	호	소호	통계부호
					8 3	1 1	1 0	1 0 0 0
<b>1. 개념 및 개발내용</b>								
<input type="checkbox"/> 개념 <ul style="list-style-type: none"> <li>○ ferroelectric tunnel junction(FTJ) : 강유전체의 분극 방향에 따른 전자의 tunnel 저항 조절을 활용하는 소자             <ul style="list-style-type: none"> <li>- 강유전체의 분극 방향 분율을 조절하여 multi-level cell을 구현 가능</li> <li>- Polarization을 활용하는 경우 기존 결합 기반의 저항변화 메모리 특성상 내재하여 있는 신뢰성 문제에서 벗어날 수 있으며, HfO2기반 강유전체를 활용하는 경우 ALD를 활용하여 3D 구조 소자 제작이 용이</li> <li>- HfO2 기반 강유전체는 scaling의 장점을 활용하기 위해 sneak current 등을 억제하기 위한 selector의 필요성을 self-rectifying한 소자로 구현하여 집적도를 극대화할 수 있는 소자 구현 가능</li> </ul> </li> </ul>								
<input type="checkbox"/> 개발내용 <ul style="list-style-type: none"> <li>○ HZO 기반 반강유전체 박막의 BEOL 공정에 적합한 저온 ALD 공정 및 결정화 열처리 기술 개발</li> <li>○ Tunneling 현상을 통해 충분한 전류 밀도를 확보하기 위한 얇은 두께의 HZO 박막 증착 기술 개발</li> <li>○ 실질적인 전류 밀도를 조절할 수 있는 강유전상의 비율 및 자발분극 달성을 통해 multilevel operation 구현</li> <li>○ 에너지 장벽 형성에 의한 탈분극 전계 조절 및 충분한 retention 확보</li> <li>○ Interfacial layer 도입과정에서 발생하는 계면 트랩이 강유전체 polarization 및 에너지 장벽 제어에 미치는 영향의 메커니즘 규명 및 트랩 최적화를 통한 내구성 확보</li> <li>○ 자가 정류 특성 확보를 위한 비대칭 계면 에너지 장벽 제어 기술 개발</li> <li>○ 충분한 비선형성 및 자가정류 특성 확보를 통한 sneak current 억제 및 대면적 array 구성 기술 개발</li> </ul>								
<b>2. 지원 필요성</b>								
<input type="checkbox"/> 지원 필요성 <ul style="list-style-type: none"> <li>○ (정책적 측면) HfO2 기반 강유전체 차세대 메모리 반도체의 핵심 소재로 활용이 가</li> </ul>								

능함. FTJ는 반도체분야의 핵심이 되는 양자역학적 현상을 활용하는 소자임과 동시에 수 nm 수준의 초집적화된 박막의 결정학, 물리학, 화학적 이해가 필요함. 초학제적 지식을 갖춘 반도체 산업 분야의 리더급 인재 양성이 시급함

- (기술적 측면) 기존 2단자 저항변화 기반 메모리 소자의 경우 공공이나 트랩 등 결함을 기반으로 동작하기 때문에 특성 제어의 신뢰성 확보에 어려움이 있음. 강유전체 기반 메모리 소자의 경우, 전자기학적인 메커니즘을 따라 물리적 특성의 조절 및 예측이 가능하므로 소자의 특성 조절 및 신뢰성 확보에 매우 우수함. 특히 HfO<sub>2</sub> 기반 강유전체는 현재 CMOS 공정에서 gate 유전막 재료로도 활용되며 원자층 증착 공정을 통해 수 nm 두께의 제어도 가능함. 물리학적 특성을 기반으로 빠르게 상용 공정으로 이어질 수 있는 기술 개발로 그 중요성이 매우 높음.
- (시장적 측면) multibit FTJ 소자를 활용할 수 있는 neuromorphic chip 분야의 시장규모는 현재 0.08B USD 규모로, 2028년까지 2.85B USD로 연간 104.7% 성장이 기대됨.

□ 활용분야

- 뉴로모픽 컴퓨팅의 시냅스 소자, 비휘발성 메모리에 활용

**3. 지원기간/예산/추진체계**

- 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 3차년도 : 각각 12개월)
- 정부지원연구개발비 : '24년 1.5억원 이내(총 정부출연금 4.5억원 이내)
- 주관 및 공동연구개발기관 : 비영리기관(원천기술형)
- 기술료 징수여부 : 비징수
- 특이사항 1
  - 1) 연구개발계획서의 연구목표 및 내용은 총 예산규모(정부출연금+ 민간투자금)로 작성하고, `연구개발비 사용계획`은 정부출연금에 대해서만 작성
  - 2) 민간투자금은 정부출연금과 동일 비율로 지원되며, 과제 선정 이후 총괄기관과 별도 협약 예정 (민간투자금 사용계획은 정부출연금 편성내역과 중복 계상 불가)
  - 3) 민간 투자기업과 수행기관간의 지식재산권 협약을 통해 민간 투자기업에 연구개발의 모든 성과물의 무상통상실시권과 우선매입권한을 허용
- 특이사항 2
  - 1) 동 사업은 반도체 고급인력 양성을 목표로 하고 있으며, 석·박사 인력의 적극적인 참여를 권고함
  - 2) 참여 학생 전원에 대하여 본 사업 총괄과제에서 배출인원 관리
  - 3) 총 사업비 중 인건비 비중 45%이상, 인건비 중 석박사 인건비 비중 60%이상 필수 (민간투자금 연구개발계획서에도 동일 비중 적용, 국제공동R&D의 경우 인건비 중 석박사 인건비 비중 적용 예외 가능)

품목번호	민관공동-품목-02		산업 기술 분류	중분류 I	중분류 II			
품목유형	<input checked="" type="checkbox"/> 원천기술 <input type="checkbox"/> 혁신제품			반도체 소자 및 시스템				
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음							
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차							
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)							
품목명	임계 전압 조절 가능한 2단자 선택소자 기반 수직형 고밀도 메모리 소자 공정 개발 (TRL : [시작] 3단계 ~ [종료] 5단계)		품목코드 (HSK10)	류	호	소호	통계부호	
				8	3	1	1	1 0 1 0 0 0
<b>1. 개념 및 개발내용</b>								
<input type="checkbox"/> 개념 <ul style="list-style-type: none"> <li>○ 상변화 메모리 기반의 Storage Class memory(SCM) 소자는 고밀도, 저전력, 저가 공정 등의 장점이 있음</li> <li>○ 고집적 SCM을 구현할 수 있는 소자 기술로써 1개의 선택소자와 1개의 메모리 소자가 직렬로 연결된 1S1R 셀 구조 연구가 진행되어 있음. 메모리 소자, 선택소자 및 소자 사이 전극의 개별 적층은 공정을 복잡하게 할 뿐만 아니라, 소자의 종횡비를 높여, 4단 이상 또는 수직형의 고집적 소자를 구현하는데 한계가 존재함</li> <li>○ 메모리와 선택소자 기능을 동시에 수행할 수 있는 단일 물질의 선택소자 기반 가변 임계전압 제어 2단자 신개념 메모리 소자 개발은 단일층 형성으로 인해 증착 및 식각 스텝을 간소화할 수 있으며, 종횡비(Aspect ratio)의 감소는 3차원 구조 소자 스케일에 유리함.</li> </ul>								
<input type="checkbox"/> 개발내용 <ul style="list-style-type: none"> <li>○ 차세대 고밀도 메모리 소자용 임계 스위칭 전압 조절이 가능한 신개념 소재 개발 <ul style="list-style-type: none"> <li>- CMOS 공정 호환 가능성 있는 임계 스위칭 신물질 신소재 발굴 및 이의 최적화된 PVD 및 ALD 증착 공정 개발</li> <li>- 전압 인가 이력에 따른 원자 레벨 소자 특성 분석 및 모델링</li> <li>- 어레이 및 구동 회로와 집적이 가능한 CMOS 호환성 공정 기술 개발</li> </ul> </li> <li>○ 임계 스위칭 프로그래밍 가능한 단일 신소재 기반 신개념 메모리 소자 개발 <ul style="list-style-type: none"> <li>- 다양한 동작 원리 단위 소자 수준의 메모리 소자 특성, 신뢰성 특성 검증</li> <li>- 기존 bipolar 프로그래밍 방법을 벗어난, 쓰기 전력 소모가 최소화된 새로운 임계 전압 프로그래밍 개발</li> <li>- 전압 인가 이력에 따른 임계전압 조절 및 소자 동작 메카니즘 검증</li> </ul> </li> <li>○ 단일 신소재 2단자 소자의 어레이 신개념 소자 제작 및 검증 <ul style="list-style-type: none"> <li>- 다양한 집적도의 crossbar array 소자 제작 및 검증</li> <li>- 극한의 신뢰성 특성 검증을 위한 측정 기법 개발</li> <li>- 4단 이상의 수직 적층 소자 제작 및 동작 검증</li> </ul> </li> <li>○ 2단자 선택소자 기반 수직형 고밀도 메모리 소자 개발</li> </ul>								
<b>2. 지원 필요성</b>								
<input type="checkbox"/> 지원 필요성								

- (정책적 측면) 수직형 메모리 소자에 대한 필요성은 지속적으로 증대되고 있으나, PRAM 또는 RRAM 소자의 수직화에 대한 핵심 기술 개발은 미진한 상황임
  - V-NAND 기술의 필적할 수 있는 메모리 신기술에 대한 선점을 통해 국내 반도체 산업의 국외 기업 대비 지속적인 우위 가능
- (기술적 측면) 칼코지나이드에 치중되어 개발이 진행되었던 기존의 selector-only 메모리 소자 구현에 있어 새로운 물질을 통한 원천기술(동작 메커니즘, 신소재 미세조각 제어, 신소재 증착 공정 등)을 확보함으로써 관련 연구 분야의 핵심 선도 기술을 확보할 수 있음.

□ 활용분야

- SCM과 같은 차세대 메모리, in-memory computing을 위한 차세대 컴퓨팅 프로세서 등에 활용

**3. 지원기간/예산/추진체계**

- 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 3차년도 : 각각 12개월)
- 정부지원연구개발비 : '24년 1.5억원 이내(총 정부출연금 4.5억원 이내)
- 주관 및 공동연구개발기관 : 비영리기관(원천기술형)
- 기술료 징수여부 : 비징수
- 특이사항 1
  - 1) 연구개발계획서의 연구목표 및 내용은 총 예산규모(정부출연금+ 민간투자금)로 작성하고, `연구개발비 사용계획`은 정부출연금에 대해서만 작성
  - 2) 민간투자금은 정부출연금과 동일 비율로 지원되며, 과제 선정 이후 총괄기관과 별도 협약 예정 (민간투자금 사용계획은 정부출연금 편성내역과 중복 계상 불가)
  - 3) 민간 투자기업과 수행기관간의 지식재산권 협약을 통해 민간 투자기업에 연구개발의 모든 성과물의 무상통상실시권과 우선매입권한을 허여
- 특이사항 2
  - 1) 동 사업은 반도체 고급인력 양성을 목표로 하고 있으며, 석·박사 인력의 적극적인 참여를 권고함
  - 2) 참여 학생 전원에 대하여 본 사업 총괄과제에서 배출인원 관리
  - 3) 총 사업비 중 인건비 비중 45%이상, 인건비 중 석박사 인건비 비중 60%이상 필수 (민간투자금 연구개발계획서에도 동일 비중 적용, 국제공동R&D의 경우 인건비 중 석박사 인건비 비중 적용 예외 가능)

품목번호	민관공동-품목-03		산업 기술 분류	중분류 I	중분류 II				
품목유형	<input checked="" type="checkbox"/> 원천기술 <input type="checkbox"/> 혁신제품			반도체 소자 및 시스템					
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음								
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input checked="" type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차								
R&D 자율성트랙 유형	<input type="checkbox"/> R&D 자율성트랙(일반) <input checked="" type="checkbox"/> R&D 자율성트랙(지정)								
품목명	PIM향 크로스포인트 SOM 적용을 위한 고 선택비, 고 신뢰성 선택 소자개발 (TRL : [시작] 3단계 ~ [종료] 5단계)			품목코드 (HSK10)	류	호	소호	통계부호	
					8	3	1	1	1
1. 개념 및 개발내용									
<input type="checkbox"/> 개념 <ul style="list-style-type: none"> <li>○ Process In Memory(PIM) : 기존 폰노이만 아키텍처에서는 memory cell에서 명령어를 불러오고 실행한 뒤 다시 memory에 저장하는 방식이어서 GPU와 CPU가 주고받는 데이터가 많아질수록 연산처리 속도가 감소하는 경향이 있음. PIM은 memory cell 내부에서 연산에 필요한 AI 프로세서 기능을 더한 지능형 반도체로 memory cell과 연산시스템이 모여 있기 때문에 속도 차이로 인한 병목현상이 없고 데이터 이동이 적은 연산이 가능해 속도가 빠르며 전력 소모량을 줄일 수 있다는 장점이 있음</li> <li>○ 크로스 포인트 어레이 : 크로스 포인트 어레이는 비트 라인과 워드 라인이 교차하는 지점에 메모리 셀이 위치하는 2차원 배열 구조. 각 메모리 셀은 비휘발성 메모리 소자와 선택 소자로 구성</li> <li>○ 선택 소자 : 특정 메모리 셀에 접근할 때 해당 셀을 활성화하는 역할 수행. 크로스 포인트 어레이에서 선택 소자 도입으로 인해 메모리 셀의 누설 전류를 줄일 수 있고 원활한 읽기, 쓰기 동작을 가능하게 함</li> <li>○ Selector Only Memory (SOM) : SOM은 선택 소자만을 포함하는 메모리 구조. 선택기와 메모리 소자 간의 복잡한 상호 작용을 최소화하여 메모리 어레이의 전체 성능 향상 구체적으로 전력 소모 감소, 데이터 전송 속도 향상, 신뢰성 향상</li> </ul>									
<input type="checkbox"/> 개발내용 <ul style="list-style-type: none"> <li>○ 반도체 산업계 수요를 반영한 도전적 탐색형 연구개발 과제를 수행하면서, 투자기업 엔지니어의 멘토링을 받고 일정 자격검증 기준을 통과한 반도체고급인력 양성</li> <li>○ Binary chalcogenide 기반 선택소자 물질 연구 및 고선택비/고신뢰성 스위칭 소자 특성 연구 <ul style="list-style-type: none"> <li>- Chalcogenide 물질의 선행 연구 조사 및 band gap과 전기적 특성에 대한 상관관계 조사 후 PVD(RF co-sputtering 및 etc) 증착 공정을 통하여 후보 물질군 (ZnS, ZnTe, GeS, GeTe, SnS 등)에 대한 공정 조건 확립 및 조성 범위 확보 연구</li> <li>- Active metal (Ag, Cu 등) 및 chalcogenide 기반 selector device의 공정 조건 및 조성 범위를 확보 및 threshold switching에서 나타나는 leakage current 개선을 통한 선택비 향상 연구</li> <li>- 최적화된 물질의 공정 조건 및 조성 범위를 선정하여 선택소자 물질, 조성 그리고 계면 특성에 기반한 metal electrode 최적화 및 신뢰성 개선 연구</li> <li>- AC pulse test를 통하여 delay time, relaxation time 등의 switching time 특성 및 endurance 측정을 통하여 3차원 크로스 포인트 적용에 선택소자 최적화 연구 진행</li> </ul> </li> </ul>									

- 3차원 크로스 포인트 임계전압 tunable 선택소자 구조 설계 및 공정 최적화 기술 개발
  - chalcogenide 물질의 물성(Band gap, 조성 등)에 따른 VTH 및 VH 조절 가능성 연구
  - 임계전압 tunable 선택소자의 thermal stability 특성 개선을 위하여 다원계 chalcogenide alloy 물질 형성 공정 최적화 연구
  - 선택소자의 operation stability, thermal stability 및 device uniformity 특성 개선을 위하여 세분화된 공정 및 조성 조건 최적화
  - thermal budget 한계 및 최적화 연구와 디바이스 형성을 위한 공정 최적화 연구 그리고 SOM 특성 최적화 연구
- Toxic Free OTS 물질 screening이 필요하며 Selector 보다는 OTS only Memory로 전환 연구

## 2. 지원 필요성

### □ 지원 필요성

- (정책적 측면) PIM 기술은 앞으로의 반도체 기술력 확보에 필수적인 기술이나, 기술의 연구 및 개발은 상당한 자금과 전문 지식이 필요함
  - PIM 기술은 전문적인 인력에 크게 의존하기 때문에 정부차원의 교육 프로그램과 연구 기관을 통해 필요한 전문가를 양성이 필요함
- (기술적 측면) PIM은 데이터의 지역성을 개선하고 메모리 대역폭 병목 현상 완화함. 또한, 에너지 효율성을 향상시키고 시스템의 전반적인 실행 시간 단축에 기여함. 실시간 분석, 머신 러닝 및 딥 러닝과 같은 데이터 집약적 작업에 있어 용이
- (시장적 측면) 데이터 중심의 애플리케이션과 서비스의 수요가 증가함에 따라 PIM 기술의 중요성은 증가하고 있음. 경쟁력 있는 시장에서 높은 성능과 에너지 효율성을 제공하는 제품을 개발하려는 기업의 압박이 이 기술의 채택을 가속화시키고 있는 상황

### □ 활용분야

- 차세대 비휘발성 메모리 모듈로 활용
- 실리콘 기반 반도체 공정에 활용

## 3. 지원기간/예산/추진체계

- 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 3차년도 : 각각 12개월)
- 정부지원연구개발비 : '24년 1.7억원 이내(총 정부출연금 4.7억원 이내)
- 주관 및 공동연구개발기관 : 비영리기관(원천기술형)
- 기술료 징수여부 : 비징수
- 기타 : 해외기관 참여 필수
- 특이사항 1
  - 1) 연구개발계획서의 연구목표 및 내용은 총 예산규모(정부출연금+ 민간투자금)로 작성하고, `연구개발비 사용계획`은 정부출연금에 대해서만 작성
  - 2) 민간투자금은 정부출연금과 동일 비율로 지원되며, 과제 선정 이후 총괄기관과 별도 협약 예정 (민간투자금 사용계획은 정부출연금 편성내역과 중복 계상 불가)
  - 3) 민간 투자기업과 수행기관간의 지식재산권 협약을 통해 민간 투자기업에 연구개발의 모든 성과물의 무상통상실시권과 우선매입권한을 허용
- 특이사항 2
  - 1) 동 사업은 반도체 고급인력 양성을 목표로 하고 있으며, 석·박사 인력의 적극적인 참여를 권고함
  - 2) 참여 학생 전원에 대하여 본 사업 총괄과제에서 배출인원 관리
  - 3) 총 사업비 중 인건비 비중 45%이상, 인건비 중 석박사 인건비 비중 60%이상 필수 (민간투자금 연구개발계획서에도 동일 비중 적용, 국제공동R&D의 경우 인건비 중 석박사 인건비 비중 적용 예외 가능)

품목번호	민관공동-품목-04		산업 기술 분류	중분류 I	중분류 II			
품목유형	<input checked="" type="checkbox"/> 원천기술 <input type="checkbox"/> 혁신제품			반도체 소자 및 시스템				
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음							
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차							
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)							
품목명	Vector Matrix Multiplication(VMM) 수행을 위한 강유전체 기반 고집적 3D 시냅스 어레이 집적공정기술개발 (TRL : [시작] 3단계 ~ [종료] 5단계)		품목코드 (HSK10)	류	호	소호	통계부호	
				8	3	1	1	1 0 0 0
<b>1. 개념 및 개발내용</b>								
<input type="checkbox"/> 개념								
<ul style="list-style-type: none"> <li>○ multi-conductance 구현이 가능한 HfO2 기반 강유전체 소자 개발 <ul style="list-style-type: none"> <li>- 차세대 시냅스 소자 구현에 적합한 HfO2 기반 강유전체 소재 및 공정 개발</li> <li>- 강유전 특성 평가를 위한 Metal-Ferroelectric-Metal (MFM) 커패시터 공정 기술 개발 및 C-V, P-V 특성 측정을 통한 강유전성 지표 확보 (잔류분극, 항전기장 등)</li> <li>- 강유전성이 확보된 강유전 박막을 소자의 게이트 스택에 집적하여, 인가되는 pulse의 수에 따라 conductance를 선형적으로 변화시켜 다양한 가중치 값의 표현이 가능한 FeFET (Ferroelectric FET) 개발</li> </ul> </li> <li>○ VMM 연산이 가능한 FeFET 기반 multilevel 인공 시냅스 개발 및 동작 검증 <ul style="list-style-type: none"> <li>- FeFET의 게이트 스택에 존재하는 강유전 박막에 저장된 잔류분극을 가중치로 이용하고, FeFET의 Drain에 가해지는 전압을 인공신경망의 입력으로 이용하여 VMM 연산을 수행하는 인공 시냅스 동작 검증</li> </ul> </li> <li>○ 3D 구조의 FeFET 시냅스 어레이 개발 <ul style="list-style-type: none"> <li>- 기존의 planar 구조의 시냅스 어레이보다 집적도를 향상시키기 위한 3D 구조의 시냅스 어레이 구조 설계</li> <li>- FeFET 기반의 3D 시냅스 어레이 공정 설계</li> <li>- FeFET 기반의 3D 시냅스 어레이 제작 및 VMM 동작 검증</li> </ul> </li> </ul>								
<input type="checkbox"/> 개발내용								
<ul style="list-style-type: none"> <li>○ 반도체 산업계 수요를 반영한 도전적 탐색형 연구개발 과제를 수행하면서, 투자기업 엔지니어의 멘토링을 받고 일정 자격검증 기준을 통과한 반도체고급인력 양성</li> <li>○ Multi-conductance 구현이 가능한 HfO2 기반 강유전체 소자 개발</li> <li>○ VMM 연산이 가능한 FeFET 기반 인공 시냅스 개발 및 동작 검증</li> <li>○ 3D 구조의 FeFET 시냅스 어레이 개발</li> </ul>								
<b>2. 지원 필요성</b>								
<input type="checkbox"/> 지원 필요성								
<ul style="list-style-type: none"> <li>○ (정책적 측면) 현재 국내외의 기업 및 연구실에서 강유전체 기반의 인공 시냅스 관련 연구가 이루어지고 있으나, 그 수가 제한적인 상황</li> <li>○ (기술적 측면) 고집적 시냅스 어레이 제작을 위해서는 3D 시냅스 어레이에 대한 연구가 불가피한 상황으로 하드웨어 기반의 인공신경망 구현 기술 요구됨</li> <li>○ (시장적 측면) PIM 기술의 연구 및 개발은 높은 성능, 낮은 에너지 소비, 그리고 향상된 시스템 효율성 제공이 가능하여 기업의 시장 경쟁력을 유지에 기여</li> </ul>								

□ 활용분야

- 인공 시냅스의 3차원 집적공정 기술에 적용하여 차세대 소자/공정 분야에 활용 가능

**3. 지원기간/예산/추진체계**

- 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 3차년도 : 각각 12개월)
- 정부지원연구개발비 : '24년 1.5억원 이내(총 정부출연금 4.5억원 이내)
- 주관 및 공동연구개발기관 : 비영리기관(원천기술형)
- 기술료 징수여부 : 비징수
- 특이사항 1
  - 1) 연구개발계획서의 연구목표 및 내용은 총 예산규모(정부출연금+ 민간투자금)로 작성하고, `연구개발비 사용계획`은 정부출연금에 대해서만 작성
  - 2) 민간투자금은 정부출연금과 동일 비율로 지원되며, 과제 선정 이후 총괄기관과 별도 협약 예정 (민간투자금 사용계획은 정부출연금 편성내역과 중복 계상 불가)
  - 3) 민간 투자기업과 수행기관간의 지식재산권 협약을 통해 민간 투자기업에 연구개발의 모든 성과물의 무상통상실시권과 우선매입권한을 허여
- 특이사항 2
  - 1) 동 사업은 반도체 고급인력 양성을 목표로 하고 있으며, 석·박사 인력의 적극적인 참여를 권고함
  - 2) 참여 학생 전원에 대하여 본 사업 총괄과제에서 배출인원 관리
  - 3) 총 사업비 중 인건비 비중 45%이상, 인건비 중 석박사 인건비 비중 60%이상 필수 (민간투자금 연구개발계획서에도 동일 비중 적용, 국제공동R&D의 경우 인건비 중 석박사 인건비 비중 적용 예외 가능)

품목번호	민관공동-품목-05	산업 기술 분류	중분류 I		중분류 II	
품목유형	<input checked="" type="checkbox"/> 원천기술 <input type="checkbox"/> 혁신제품		반도체 소자 및 시스템			
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음					
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차					
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)					
품목명	3D NAND 메모리 Cell 고 신뢰성 기술 및 소자-회로 통합 테스트베드 플랫폼 개발 (TRL : [시작] 3단계 ~ [종료] 5단계)	품목코드 (HSK10)	류	호	소호	통계부호
			8 3	1 1	1 0	1 0 0 0
<b>1. 개념 및 개발내용</b>						
<input type="checkbox"/> 개념						
<ul style="list-style-type: none"> <li>○ 3D NAND의 메모리 Cell 스케일링 시 발생하는 Cell 특성 변화에 따른 실제 Vth 산포 예측 및 이를 평가할 수 있는 소자 <ul style="list-style-type: none"> <li>- 회로 통합 테스트 플랫폼과 Cell 신뢰성 개선 기술 개발</li> <li>- 제품 형태 : 3D NAND 플래시 메모리 소자 및 소자-회로 통합 테스트 플랫폼</li> <li>- 기술 형태 : Cell pitch 스케일링에 따른 Cell 특성 열화를 평가할 수 있는 적층 형태의 소자 구조 및 Vth 산포를 평가할 수 있는 소자-회로 통합 테스트 플랫폼과 절연막/채널 소재, 소자 개선 기술</li> </ul> </li> </ul>						
<input type="checkbox"/> 개발내용						
<ul style="list-style-type: none"> <li>○ 반도체 산업계 수요를 반영한 도전적 탐색형 연구개발 과제를 수행하면서, 투자기업 엔지니어의 멘토링을 받고 일정 자격검증 기준을 통과한 반도체고급인력 양성</li> <li>○ Cell pitch 스케일링에 따른 3D NAND 소자의 신뢰성 평가 구조 개발 <ul style="list-style-type: none"> <li>- 적층형 NAND Cell 소자 구조에서의 pitch scaling에 따른 Cell 소자의 신뢰성 평가를 위한 적층형 구조 개발</li> </ul> </li> <li>○ Cell 특성으로부터 Vth 산포를 평가 가능한 소자-회로 테스트베드 플랫폼 개발 <ul style="list-style-type: none"> <li>- Cell 특성 변화에 따른 산포 변화 예측 로직 개발</li> <li>- Cell 모델 및 어레이 구성 및 산포 예측 개발</li> <li>- 산포 예측 정확성 확보 및 이를 평가하기 위한 실물 테스트 플랫폼 개발</li> </ul> </li> <li>○ Cell 소자 신뢰성의 결과물인 Vth 산포 개선을 위한 소자, 회로 기술 개발 <ul style="list-style-type: none"> <li>- Cell 신뢰성 개선을 위한 절연체/채널 소재, 소자 기술 개발</li> <li>- Vth 산포 개선을 위한 센싱 알고리즘/회로 개발 및 산포 개선 검증</li> </ul> </li> </ul>						
<b>2. 지원 필요성</b>						
<input type="checkbox"/> 지원 필요성						
<ul style="list-style-type: none"> <li>○ (정책적 측면) 인공지능, 빅데이터 기술 등의 지속적인 발전으로 NAND 시장은 2028년도에 \$94.24 billion로 성장할 것으로 기대되나, 국가간 대규모 투자 등으로 인해 매우 치열한 환경임 <ul style="list-style-type: none"> <li>- 국내 전문인력의 해외 기업의 영입 시도하는 분위기가 감지되고 있을 정도로 인재가 매우 중요하기에, 지속적인 핵심 반도체 인력양성 필요</li> </ul> </li> <li>○ (기술적 측면) NAND 반도체 기술의 국가간 대규모 투자 등으로 인해 매우 치열한</li> </ul>						

환경이며, 국내에 우수한 전문 인력들을 해외에서 많이 영입하려고 시도하고 있을 정도로 인재가 매우 중요하기에, 지속적인 핵심 반도체 인력양성 필요

- (시장적 측면) 인공지능, 빅데이터 기술 등의 지속적인 발전으로 NAND 시장은 2028년도에 \$94.24 billion로 성장할 것으로 예상

□ 활용분야

- 인공지능, 자율주행차, 사물인터넷 등 대용량 데이터를 다루는 다분야의 응용처에 활용

**3. 지원기간/예산/추진체계**

- 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 3차년도 : 각각 12개월)
- 정부지원연구개발비 : '24년 1.5억원 이내(총 정부출연금 4.5억원 이내)
- 주관 및 공동연구개발기관 : 비영리기관(원천기술형)
- 기술료 징수여부 : 비징수
- 특이사항 1
  - 1) 연구개발계획서의 연구목표 및 내용은 총 예산규모(정부출연금+ 민간투자금)로 작성하고, `연구개발비 사용계획`은 정부출연금에 대해서만 작성
  - 2) 민간투자금은 정부출연금과 동일 비율로 지원되며, 과제 선정 이후 총괄기관과 별도 협약 예정 (민간투자금 사용계획은 정부출연금 편성내역과 중복 계상 불가)
  - 3) 민간 투자기업과 수행기관간의 지식재산권 협약을 통해 민간 투자기업에 연구개발의 모든 성과물의 무상통상실시권과 우선매입권한을 허여
- 특이사항 2
  - 1) 동 사업은 반도체 고급인력 양성을 목표로 하고 있으며, 석·박사 인력의 적극적인 참여를 권고함
  - 2) 참여 학생 전원에 대하여 본 사업 총괄과제에서 배출인원 관리
  - 3) 총 사업비 중 인건비 비중 45%이상, 인건비 중 석박사 인건비 비중 60%이상 필수 (민간투자금 연구개발계획서에도 동일 비중 적용, 국제공동R&D의 경우 인건비 중 석박사 인건비 비중 적용 예외 가능)

품목번호	민관공동-품목-06		산업 기술 분류	중분류 I		중분류 II	
품목유형	<input checked="" type="checkbox"/> 원천기술 <input type="checkbox"/> 혁신제품			반도체 소자 및 시스템			
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음						
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input checked="" type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차						
R&D 자율성트랙 유형	<input type="checkbox"/> R&D 자율성트랙(일반) <input checked="" type="checkbox"/> R&D 자율성트랙(지정)						
품목명	Charge trap 내재 저차원 반도체 초고속 저온 합성 및 플라즈마 결합제어 기술 기반 저전력 시냅스 메모리 소자 개발 (TRL : [시작] 3단계 ~ [종료] 5단계)		품목코드 (HSK10)	류	호	소호	통계부호
				8 3	1 1	1 0	1 0 0 0
<b>1. 개념 및 개발내용</b>							
<input type="checkbox"/> 개념							
<ul style="list-style-type: none"> <li>○ Charge trap 저차원 반도체 소재 초고속저온대면적 합성 기술</li> <li>○ 플라즈마를 이용한 저차원 반도체 소재의 결합 제어 기술을 통해 휘발성/비휘발성 시냅스 메모리 소자</li> </ul>							
<input type="checkbox"/> 개발내용							
<ul style="list-style-type: none"> <li>○ 반도체 산업계 수요를 반영한 도전적 탐색형 연구개발 과제를 수행하면서, 투자기업 엔지니어의 멘토링을 받고 일정 자격검증 기준을 통과한 반도체고급인력 양성</li> <li>○ Charge trap 저차원 반도체 소재 초고속·저온·대면적 합성 기술 개발 <ul style="list-style-type: none"> <li>- 화학기상증착기술기반 저차원 charge trap 소재의 웨이퍼상 직접 증착 기술 개발</li> <li>- Charge trap 특성 제어를 위한 doping·성분비 조절 in-situ 합성 기술 개발</li> <li>- 초고속, 저온, 대면적 양산화 기초기술 개발</li> </ul> </li> <li>○ 플라즈마를 이용한 저차원 반도체 소재의 결합 제어 기술을 통해 휘발성/비휘발성 시냅스 메모리 소자 개발 <ul style="list-style-type: none"> <li>- 플라즈마를 이용한 표면 결합 제어 기술을 통한 저차원 반도체 소재의 전하 휘발도 특성 제어</li> <li>- 탐침 증강 기술 기반 저차원 반도체 소재의 계면 charge trap 특성 분석</li> <li>- Charge trap 특성 제어된 저차원 반도체 소재 기반 휘발성/비휘발성 메모리 선택적 데이터 저장이 가능한 차세대 시냅스 메모리 소자 개발</li> </ul> </li> </ul>							
<b>2. 지원 필요성</b>							
<input type="checkbox"/> 지원 필요성							
<ul style="list-style-type: none"> <li>○ (정책적 측면) 우수한 특성을 가진 저차원 반도체 소재의 차세대 메모리 소자 응용을 위하여 기존 한계를 극복하기 위한 박막 공정 기술 개발이 필수적인 상황에서 아직 상용화가 되지 않은 시장이므로, 초고속 대면적 박막공정기술을 개발한다면 미래 반도체 시장 선점을 통한 국가경쟁력 확보가 가능함 <ul style="list-style-type: none"> <li>- 국내 반도체 소재 기업의 영세성 및 원천기술 개발 능력 취약으로 인해, 국가적인 지원을 통해 반도체 신소재 원천기술 개발능력 조기 확보가 필요하고, 해당 분야의 고급인력양성이 필요함</li> </ul> </li> </ul>							
<input type="checkbox"/> 활용분야							
<ul style="list-style-type: none"> <li>○ 반도체 합성을 위한 차세대 반도체 박막 공정 기술에 적용</li> <li>○ 시냅스 메모리 소자의 양산화를 통하여 반도체 메모리에 적용</li> </ul>							

### 3. 지원기간/예산/추진체계

- 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 3차년도 : 각각 12개월)
- 정부지원연구개발비 : '24년 1.71억원 이내(총 정부출연금 4.71억원 이내)
- 주관 및 공동연구개발기관 : 비영리기관(원천기술형)
- 기술료 징수여부 : 비징수
- 기타 : 해외기관 참여 필수
- 특이사항 1

- 1) 연구개발계획서의 연구목표 및 내용은 총 예산규모(정부출연금+ 민간투자금)로 작성하고, `연구개발비 사용계획`은 정부출연금에 대해서만 작성
- 2) 민간투자금은 정부출연금과 동일 비율로 지원되며, 과제 선정 이후 총괄기관과 별도 협약 예정 (민간투자금 사용계획은 정부출연금 편성내역과 중복 계상 불가)
- 3) 민간 투자기업과 수행기관간의 지식재산권 협약을 통해 민간 투자기업에 연구개발의 모든 성과물의 무상통상실시권과 우선매입권한을 허여

#### ○ 특이사항 2

- 1) 동 사업은 반도체 고급인력 양성을 목표로 하고 있으며, 석·박사 인력의 적극적인 참여를 권고함
- 2) 참여 학생 전원에 대하여 본 사업 총괄과제에서 배출인원 관리
- 3) 총 사업비 중 인건비 비중 45%이상, 인건비 중 석박사 인건비 비중 60%이상 필수  
(민간투자금 연구개발계획서에도 동일 비중 적용, 국제공동R&D의 경우 인건비 중 석박사 인건비 비중 적용 예외 가능)

품목번호	민관공동-품목-07		산업 기술 분류	중분류 I		중분류 II	
품목유형	<input checked="" type="checkbox"/> 원천기술 <input type="checkbox"/> 혁신제품			반도체 소자 및 시스템			
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음						
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차						
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)						
품목명	초거대 언어모델을 위한 양자화 기술 및 스케줄링 기법을 포함하는 Transformer 가속 솔루션 개발 (TRL : [시작] 3단계 ~ [종료] 5단계)		품목코드 (HSK10)	류	호	소호	통계부호
				8 3	1 1	9 0	9 0 0 0
<b>1. 개념 및 개발내용</b>							
<input type="checkbox"/> <b>개념</b> <ul style="list-style-type: none"> <li>○ 초거대 언어모델의 우수한 정확도 및 활용성에 따라 다양한 산업 분야에서 주목 받고 있으나 이를 활용하기 위해선 방대한 메모리 요구량과 연산량이 요구되어 많은 양의 컴퓨팅 자원과 막대한 비용 및 전력이 필요함</li> <li>- 언어모델의 연산량 및 메모리 요구량을 감소시키기 위해 양자화를 활용하여 모델에 필요한 비트 수 감소시킴. post-training quantization (PTQ)는 다른 압축기법과 달리 언어모델의 방대한 학습 비용 없이 양자화를 할 수 있어 효과적임</li> <li>- 양자화된 모델은 정확도를 지키기 위해 GPU 구조에 적합하지 않은 연산이 필요할 수 있기 때문에 양자화된 초거대 언어모델의 연산을 효율적으로 가속할 수 있는 가속기 구조를 활용하면 최적의 성능을 보장할 수 있음. 기존 GPU 대비 초거대 언어모델의 추론에 특화된 가속기는 높은 전력 효율성이 기대됨.</li> <li>- 초거대 언어모델은 문맥을 이해하는 단계와 단어를 생성하는 단계에 필요한 주요 연산이 각각 GEMM과 GEMV로 서로 다르게 구성되어 새로운 가속기 구조에 적합한 스케줄링 최적화 기술은 기존 기술을 적용하기 어려움. 따라서 모델의 연산 구조와 가속기 구조를 동시에 고려하는 스케줄링 최적화 기술이 필요하고 높은 컴퓨팅 유닛 및 메모리 대역폭 활용률을 높여 최적의 가속 효율성을 확보할 수 있음</li> </ul>							
<input type="checkbox"/> <b>개발내용</b> <ul style="list-style-type: none"> <li>○ 반도체 산업계 수요를 반영한 도전적 탐색형 연구개발 과제를 수행하면서, 투자기업 엔지니어의 멘토링을 받고 일정 자격검증 기준을 통과한 반도체고급인력 양성</li> <li>○ 초거대 언어모델을 위한 양자화 기법 개발           <ul style="list-style-type: none"> <li>- 8-bit 이하 양자화 기법을 통한 성능 향상 및 메모리 요구량 감소와 정확도 하락 간의 trade-off를 고려하여 최적의 양자화 기법 개발</li> </ul> </li> <li>○ 양자화 기법을 적용하기 위한 가속기 하드웨어 구조 설계           <ul style="list-style-type: none"> <li>- random memory access 등 연산 기술 개발하여 기존 가속기 대비 성능 및 전력 효율을 개선하고 가속기 내부 면적을 최소화하는 방법 개발</li> </ul> </li> <li>○ 초거대 언어모델의 연산 구조를 최적화하는 framework 개발           <ul style="list-style-type: none"> <li>- 초거대 언어모델의 추론 단계에서 사용되는 연산을 가속기 구조에 최적으로 mapping 할 수 있는 기법 개발</li> </ul> </li> <li>○ LLM 서비스에 필요한 양자화 기법과 이를 Target System 에서 동작시킬 수 있는 Framework 개발</li> </ul>							

- Pruning을 통한 최적화 연구

## 2. 지원 필요성

### □ 지원 필요성

- (정책적 측면) 트랜스포머 모델의 추론 연산과 관련된 가속기 기술은 현재 개발 중이고 현재 상용화 초기 단계로 국내 기업들의 기술 선점을 통해 국제 경쟁력 강화에 기여
  - 기존에 가속기 개발 시 양산 전 가속기의 실제 AI 모델의 구동 여부를 확인하기 어려운 현실이었으므로 정부 지원을 통해 AI 모델 개발 회사들과의 협력을 통해 초거대 언어모델과 같은 AI 모델의 구동 여부를 확인할 수 있는 검증 수단 마련 가능
- (기술적 측면) 기존의 초거대 언어모델의 압축기법은 하드웨어를 고려하지 않아 메모리 요구량 및 연산량은 줄일 수 있지만 적합한 하드웨어 구조가 없어 연산 시간은 더 늘어나 활용되기 쉽지 않음. 압축기법, 하드웨어 구조, 스케줄링을 동시에 고려하지 않아 최적의 성능을 내기 어려움. 3가지 기술을 고려하는 통합 솔루션을 제공하면 최적의 속도 및 전력 효율성을 낼 수 있는 가속 시스템 개발은 초거대 언어 모델을 활용하는 기술 선점에 기여
- (시장적 측면) 초거대 언어모델은 높은 정확도를 위해 대용량의 파라미터로 인한 높은 메모리 요구량 및 연산량이 필요하므로 다수의 컴퓨팅 유닛을 동시에 사용하여 연산함. 비용 및 전력 효율성을 줄이기 위해 메모리 요구량 및 연산량을 줄일 수 있는 압축기법 및 효율적으로 압축된 모델을 가속할 수 있는 가속기 개발 필요

### □ 활용분야

- 데이터센터, 클라우드컴퓨팅향 반도체에 적용
- 고성능, 저전력을 위한 PIM, HBM 등의 반도체에 적용

## 3. 지원기간/예산/추진체계

- 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 3차년도 : 각각 12개월)
- 정부지원연구개발비 : '24년 1.5억원 이내(총 정부출연금 4.5억원 이내)
- 주관 및 공동연구개발기관 : 비영리기관(원천기술형)
- 기술료 징수여부 : 비징수
- 특이사항 1
  - 1) 연구개발계획서의 연구목표 및 내용은 총 예산규모(정부출연금+ 민간투자금)로 작성하고, `연구개발비 사용계획`은 정부출연금에 대해서만 작성
  - 2) 민간투자금은 정부출연금과 동일 비율로 지원되며, 과제 선정 이후 총괄기관과 별도 협약 예정 (민간투자금 사용계획은 정부출연금 편성내역과 중복 계상 불가)
  - 3) 민간 투자기업과 수행기관간의 지식재산권 협약을 통해 민간 투자기업에 연구개발의 모든 성과물의 무상통상실시권과 우선매입권한을 허여
- 특이사항 2
  - 1) 동 사업은 반도체 고급인력 양성을 목표로 하고 있으며, 석·박사 인력의 적극적인 참여를 권고함
  - 2) 참여 학생 전원에 대하여 본 사업 총괄과제에서 배출인원 관리
  - 3) 총 사업비 중 인건비 비중 45%이상, 인건비 중 석박사 인건비 비중 60%이상 필수 (민간투자금 연구개발계획서에도 동일 비중 적용, 국제공동R&D의 경우 인건비 중 석박사 인건비 비중 적용 예외 가능)

품목번호	민관공동-품목-08	산업 기술 분류	중분류 I		중분류 II		
품목유형	<input checked="" type="checkbox"/> 원천기술 <input type="checkbox"/> 혁신제품		반도체 소자 및 시스템				
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음						
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차						
R&D 지출성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)						
품목명	액티브 셀 밸런싱이 가능하고 무선 제어를 지원하는 전기자동차용 배터리 관리 반도체 설계 기술 개발 (TRL : [시작] 3단계 ~ [종료] 5단계)	품목코드 (HSK10)	류	호	소호	통계부호	
			8 3	1 1	9 0	9 0 0 0	
<b>1. 개념 및 개발내용</b>							
<input type="checkbox"/> 개념							
<ul style="list-style-type: none"> <li>○ 배터리 수명 연장과 안정성 향상을 위한 균등한 셀 간 전압 및 전류 유지 기술 최적화 기술</li> <li>○ 보안과 성능 예측 기능이 강화된 무선 관리 전기자동차용 BMS 반도체 설계 고도화 기술을 개발하고 이를 집적회로로 제작 검증</li> </ul>							
<input type="checkbox"/> 개발내용							
<ul style="list-style-type: none"> <li>○ 반도체 산업계 수요를 반영한 도전적 탐색형 연구개발 과제를 수행하면서, 투자기업 엔지니어의 멘토링을 받고 일정 자격검증 기준을 통과한 반도체고급인력 양성</li> <li>○ Switch-capacitor 셀 밸런싱, direct energy transfer charge shuttle, inductive converter 등 액티브 셀 밸런싱관련 핵심 회로 기술 개발</li> <li>○ 액티브 셀 밸런싱 과정에서 발생하는 에너지 손실 최소화 기법 개발</li> <li>○ 배터리 문제를 사전에 방지하고 최적의 성능을 유지하기 위한 배터리의 수명, 상태, 성능 등을 예측하고 진단하는 알고리즘 개발</li> <li>○ 보안 기술 측면에서의 다양한 무선 통신 프로토콜 연구 및 보안과 오류 정정 기법이 강화된 고속 무선통신 기술 및 회로 개발</li> <li>○ 배터리 셀 전압·전류·온도 센싱 및 보호 IP 개발</li> <li>○ 통합 BMS 반도체 칩 개발 및 프로토타입 시스템 검증</li> <li>○ Active cell balancing, FG algorithm, 통신 기술 개발</li> </ul>							
<b>2. 지원 필요성</b>							
<input type="checkbox"/> 지원 필요성							
<ul style="list-style-type: none"> <li>○ (정책적 측면) 전기자동차용 등 친환경 기술 개발과 온실가스 감축을 위한 규제 강화 중 <ul style="list-style-type: none"> <li>- 무선 관리를 위한 보안 및 성능 예측까지 가능한 액티브 셀 밸런싱 기술을 갖춘 전기차 시장에서의 선점 기대</li> <li>- 고성능 BMS 기술 연구 및 개발은 고도의 전문성이 요구되므로 관련 전문인력양성과 확보가 필수적임</li> </ul> </li> <li>○ (기술적 측면) 액티브 셀 밸런싱은 배터리의 수명, 안정성, 그리고 효율성을 향상시키는 핵심 기술이므로 혁신 기술의 발전 촉진 측면에서 지원 필요 <ul style="list-style-type: none"> <li>- 배터리의 불균형은 성능 저하뿐만 아니라 안전 문제도 초래할 수 있으므로 액티브 셀 밸런싱 기술은 안전성을 높이는데 매우 중요</li> </ul> </li> <li>○ (시장적 측면) 전세계적으로 전기차와 에너지 저장 시스템 분야는 빠르게 성장하</li> </ul>							

고 있으며, 특히 액티브 셀 밸런싱 기술에 대한 선두적인 연구와 개발을 통해 선도적인 기술 리더십 확보가 가능선진 기술을 보유한 BMS 칩은 전세계적으로 수요가 증가하고 있으므로 국가의 수출을 확대하고, 국내 기업의 국제 시장에서의 경쟁력을 높일 수 있음

□ **활용분야**

- 전기자동차 (EV), 하이브리드 전기자동차 (PHEV), 에너지 저장 시스템 (ESS) 에 적용
- 전기자동차 외 휴대용 전자기기, 무인 항공기, 전력 그리드· 마이크로 그리드 시스템 및 의료 장비 다양한 응용처에 적용

**3. 지원기간/예산/추진체계**

- 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 3차년도 : 각각 12개월)
- 정부지원연구개발비 : '24년 1.5억원 이내(총 정부출연금 4.5억원 이내)
- 주관 및 공동연구개발기관 : 비영리기관(원천기술형)
- 기술료 징수여부 : 비징수
- 특이사항 1
  - 1) 연구개발계획서의 연구목표 및 내용은 총 예산규모(정부출연금+ 민간투자금)로 작성하고, `연구개발비 사용계획`은 정부출연금에 대해서만 작성
  - 2) 민간투자금은 정부출연금과 동일 비율로 지원되며, 과제 선정 이후 총괄기관과 별도 협약 예정 (민간투자금 사용계획은 정부출연금 편성내역과 중복 계상 불가)
  - 3) 민간 투자기업과 수행기관간의 지식재산권 협약을 통해 민간 투자기업에 연구개발의 모든 성과물의 무상통상실시권과 우선매입권한을 허용
- 특이사항 2
  - 1) 동 사업은 반도체 고급인력 양성을 목표로 하고 있으며, 석·박사 인력의 적극적인 참여를 권고함
  - 2) 참여 학생 전원에 대하여 본 사업 총괄과제에서 배출인원 관리
  - 3) 총 사업비 중 인건비 비중 45%이상, 인건비 중 석박사 인건비 비중 60%이상 필수 (민간투자금 연구개발계획서에도 동일 비중 적용, 국제공동R&D의 경우 인건비 중 석박사 인건비 비중 적용 예외 가능)

품목번호	민관공동-품목-09		산업 기술 분류	중분류 I		중분류 II	
품목유형	<input checked="" type="checkbox"/> 원천기술 <input type="checkbox"/> 혁신제품			반도체 소자 및 시스템			
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음						
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차						
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)						
품목명	LLM 가속을 위한 CXL 기반 PNM 아키텍처 및 시뮬레이션 플랫폼 개발 (TRL : [시작] 3단계 ~ [종료] 5단계)		품목코드 (HSK10)	류	호	소호	통계부호
				8 3	1 1	9 0	9 0 0 0
<b>1. 개념 및 개발내용</b>							
<input type="checkbox"/> 개념 <ul style="list-style-type: none"> <li>○ Transformer 기반 LLM과 같은 인공지능 응용의 가속을 위한 CXL 인터페이스 기반의 PNM(Processing Near Memory) 아키텍처 및 시뮬레이션 플랫폼 개발             <ul style="list-style-type: none"> <li>- 제품형태 : DDR 기반 DRAM에 호환되며 이기종 연산 유닛이 포함된 PNM 엔진, PNM 엔진을 포함한 CXL 디바이스</li> <li>- 기술형태 : CXL 디바이스 시뮬레이션을 위한 시스템 레벨 시뮬레이터 및 FPGA 검증 플랫폼, CXL 기반 PNM 아키텍처 설계 기술, DRAM과 PNM을 호환할 수 있는 CXL Controller 설계 기술</li> </ul> </li> </ul>							
<input type="checkbox"/> 개발내용 <ul style="list-style-type: none"> <li>○ 반도체 산업계 수요를 반영한 도전적 탐색형 연구개발 과제를 수행하면서, 투자기업 엔지니어의 멘토링을 받고 일정 자격검증 기준을 통과한 반도체고급인력 양성</li> <li>○ PNM 엔진을 포함하는 CXL 디바이스 내부 아키텍처 구조 개발             <ul style="list-style-type: none"> <li>- LLM 가속을 위한 CXL 기반의 PNM 아키텍처 개발</li> <li>- PNM과 호환 가능한 CXL Controller 기술 개발</li> </ul> </li> <li>○ CXL 디바이스 시뮬레이션 플랫폼 개발             <ul style="list-style-type: none"> <li>- 소프트웨어 기반 시스템 레벨 CXL 시뮬레이터 개발</li> <li>- CXL 인터페이스 지원 FPGA 보드를 이용한 하드웨어 수준의 시뮬레이션 검증 플랫폼 개발</li> </ul> </li> <li>○ CXL 메모리 디바이스 내 LLM 가속을 위한 가속기 개발             <ul style="list-style-type: none"> <li>- LLM 가속을 위한 CXL 기반의 대용량 메모리 디바이스 내 PNM 아키텍처 개발</li> <li>- 다양한 LLM 모델의 PNM 성능 측정을 위한 SW 기반 성능 시뮬레이터 개발</li> <li>- CXL 인터페이스 지원 FPGA 보드를 이용한 하드웨어 레벨 플랫폼 개발</li> </ul> </li> </ul>							
<b>2. 지원 필요성</b>							
<input type="checkbox"/> 지원 필요성 <ul style="list-style-type: none"> <li>○ (정책적 측면) INTEL, ARM, AMD, NVIDIA 등 세계 우수 기업이 CXL 컨소시엄의 멤버로서 CXL에 대한 연구에 박차를 가하고 있으므로, 국내 핵심기술로 거듭나기 위한 정부 지원의 필요성이 큼</li> <li>○ (기술적 측면) CXL 인터페이스 기반 메모리 디바이스는 플러그인 형태로 기존 시스템의 변경 없이 높은 대역폭의 메모리 확장을 가능하게 함             <ul style="list-style-type: none"> <li>- LLM workload는 GEMV 연산이 전체 연산의 60-80%를 차지함. GEMV를 메모리 디바이스 내의 연산장치(PNM)를 통해 연산한다면 CPU/GPU/NPU로의 데이터 이동을 최</li> </ul> </li> </ul>							

소화하며 인공지능 응용을 가속할 수 있음

- CXL 인터페이스와 PNM 장치를 결합한 차세대 메모리 디바이스는 높은 확장성과 데이터 이동을 최소화하는 구조를 통해 인공지능 응용 서버에서의 성능 향상 및 전력 소비 감소를 기대할 수 있음
- 현재 CXL HW/SW 생태계가 안정화되지 않았기 때문에 직접 모든 HW 및 SW를 구현하여 실험 환경을 구축하지 않는 이상 CXL 관련 연구를 진행하는 데 어려움이 있음. CXL 시뮬레이션 플랫폼 구축을 통해 개발 비용과 시간을 최소화할 수 있음
- (시장적 측면) 최근 인공지능 분야에서 사용하고 있는 Transformer 기반 LLM은 대용량의 데이터 처리가 필요하여 대용량 메모리 시스템 사양을 요구함

#### □ 활용분야

- 인공지능 (AI) 및 기계 학습에 적용
- 클라우드 컴퓨팅 및 데이터 센터의 대규모 데이터 처리용 CXL 및 PNM에 적용

### 3. 지원기간/예산/추진체계

- 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 3차년도 : 각각 12개월)
- 정부지원연구개발비 : '24년 1.5억원 이내(총 정부출연금 4.5억원 이내)
- 주관 및 공동연구개발기관 : 비영리기관(원천기술형)
- 기술료 징수여부 : 비징수
- 특이사항 1
  - 1) 연구개발계획서의 연구목표 및 내용은 총 예산규모(정부출연금+ 민간투자금)로 작성하고, `연구개발비 사용계획`은 정부출연금에 대해서만 작성
  - 2) 민간투자금은 정부출연금과 동일 비율로 지원되며, 과제 선정 이후 총괄기관과 별도 협약 예정 (민간투자금 사용계획은 정부출연금 편성내역과 중복 계상 불가)
  - 3) 민간 투자기업과 수행기관간의 지식재산권 협약을 통해 민간 투자기업에 연구개발의 모든 성과물의 무상통상실시권과 우선매입권한을 허용
- 특이사항 2
  - 1) 동 사업은 반도체 고급인력 양성을 목표로 하고 있으며, 석·박사 인력의 적극적인 참여를 권고함
  - 2) 참여 학생 전원에 대하여 본 사업 총괄과제에서 배출인원 관리
  - 3) 총 사업비 중 인건비 비중 45%이상, 인건비 중 석박사 인건비 비중 60%이상 필수 (민간투자금 연구개발계획서에도 동일 비중 적용, 국제공동R&D의 경우 인건비 중 석박사 인건비 비중 적용 예외 가능)

품목번호	민관공동-품목-10		산업 기술 분류	중분류 I		중분류 II	
품목유형	<input checked="" type="checkbox"/> 원천기술 <input type="checkbox"/> 혁신제품			반도체장비			
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음						
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차						
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)						
품목명	Ion Beam Etching 공정용 리본형 이온빔의 빔에너지 및 입사각 제어기법 개발 (TRL : [시작] 3단계 ~ [종료] 5단계)		품목코드 (HSK10)	류	호	소호	통계부호
				8 4	8 6	2 0	9 9 0 0
<b>1. 개념 및 개발내용</b>							
<input type="checkbox"/> 개념							
<ul style="list-style-type: none"> <li>○ 반도체의 식각에는 이온과 라디컬의 화학 반응을 이용하는 RIE(Reactive ion etching) 공정을 주로 활용하지만, 일부 소재들은 화학 반응으로 발생하는 부산물이 다시 타겟에 흡착되어 식각이 불가하기 때문에 IBE(Ion beam etching)을 활용함.</li> <li>○ 현재 상용중인 웨이퍼 회전을 이용한 IBE 공정 방식은 이온빔의 이동 거리에 차이가 발생함. 웨이퍼의 위치별로 이온빔과 중성 기체와의 충돌 횟수에 차이를 야기하여 공정의 완성도를 저해하는 한계가 있음. 이러한 단점을 개선하기 위해서 웨이퍼의 각도 조절이 아닌, 이온빔의 각도 조절을 통한 IBE 기술에 대한 수요가 증대되고 있으며, 국외 장비사들의 관련 기술에 대한 활발한 연구가 진행되고 있음</li> </ul>							
<input type="checkbox"/> 개발내용							
<ul style="list-style-type: none"> <li>○ 반도체 산업계 수요를 반영한 도전적 탐색형 연구개발 과제를 수행하면서, 투자기업 엔지니어의 멘토링을 받고 일정 자격검증 기준을 통과한 반도체고급인력 양성</li> <li>○ IBE 공정에 사용되는 이온빔과 웨이퍼의 각도를 설정하는 기술을 종전에 사용하던 웨이퍼의 회전이 아닌, 인출 전극의 비대칭 전기장과 인출 슬릿 사이에 인가되는 자기장을 이용하여 직접 제어하는 새로운 방법론 실증</li> <li>○ 리본 이온빔을 인출하고 이를 전기장과 자기장의 힘으로 굴절하는 방식 활용</li> <li>○ 이온빔의 이동 거리에 따른 에너지 순도 불균일도 해결 방안</li> <li>○ IBE 공정의 레시피에서 전기장과 자기장이라는 새로운 제어 인자를 추가하여 공정제어성 개선 방안</li> </ul>							
<b>2. 지원 필요성</b>							
<input type="checkbox"/> 지원 필요성							
<ul style="list-style-type: none"> <li>○ (정책적 측면) 오랜 기간 동안 자체 경쟁력을 확보한 국외 경쟁사 대비 우리나라의 장비 개발 인프라는 많이 부족한 실정 <ul style="list-style-type: none"> <li>- 차세대 반도체에 활용될 다양한 소재의 식각을 위해서 IBE 공정기술 확보를 통해 기존의 선진국 장비와는 차별화된 신개념 이온빔 에칭 장비의 국산화 및 기술력 확보 기대</li> </ul> </li> <li>○ (기술적 측면) 일부 소재들은 화학 반응으로 발생하는 부산물이 다시 타겟에 흡착되어 식각이 불가하기 때문에 IBE(Ion beam etching)을 활용하여 문제 해결 가능. 산업계가 점차 다양한 반도체 소재를 활용하고 있기 때문에, 이러한 IBE 기술에</li> </ul>							

대한 수요는 점차 증대되고 있음

- (시장적 측면) 차세대 반도체에 활용될 다양한 소재의 식각을 위해서 IBE 공정에 대한 연구 및 개발은 필수적이며, 국외의 반도체 장비사들 또한 이러한 수요에 대응하여 장비를 개발 중에 있음

□ 활용분야

- 이온을 통해 물리적 기판 식각 기술로 화학반응을 고려하지 않아도 되는 다양한 소재의 반도체 Device에 적용
- 차세대 증성빔 초미세 식각 공정에 적용

**3. 지원기간/예산/추진체계**

- 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 3차년도 : 각각 12개월)
- 정부지원연구개발비 : '24년 1.5억원 이내(총 정부출연금 4.5억원 이내)
- 주관 및 공동연구개발기관 : 비영리기관(원천기술형)
- 기술료 징수여부 : 비징수
- 특이사항 1
  - 1) 연구개발계획서의 연구목표 및 내용은 총 예산규모(정부출연금+ 민간투자금)로 작성하고, `연구개발비 사용계획`은 정부출연금에 대해서만 작성
  - 2) 민간투자금은 정부출연금과 동일 비율로 지원되며, 과제 선정 이후 총괄기관과 별도 협약 예정 (민간투자금 사용계획은 정부출연금 편성내역과 중복 계상 불가)
  - 3) 민간 투자기업과 수행기관간의 지식재산권 협약을 통해 민간 투자기업에 연구개발의 모든 성과물의 무상통상실시권과 우선매입권한을 허여
- 특이사항 2
  - 1) 동 사업은 반도체 고급인력 양성을 목표로 하고 있으며, 석·박사 인력의 적극적인 참여를 권고함
  - 2) 참여 학생 전원에 대하여 본 사업 총괄과제에서 배출인원 관리
  - 3) 총 사업비 중 인건비 비중 45%이상, 인건비 중 석박사 인건비 비중 60%이상 필수 (민간투자금 연구개발계획서에도 동일 비중 적용, 국제공동R&D의 경우 인건비 중 석박사 인건비 비중 적용 예외 가능)

품목번호	민관공동-품목-11		산업 기술 분류	중분류 I		중분류 II	
품목유형	<input checked="" type="checkbox"/> 원천기술 <input type="checkbox"/> 혁신제품			반도체장비			
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음						
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차						
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)						
품목명	고방열 금속-붕화비소 복합 소재 및 공정 개발 (TRL : [시작] 3단계 ~ [종료] 5단계)		품목코드 (HSK10)	류	호	소호	통계부호
				8 4	8 6	2 0	9 9 0 0
<b>1. 개념 및 개발내용</b>							
<input type="checkbox"/> 개념 <ul style="list-style-type: none"> <li>○ 반도체 패키징 소자의 방열 특성 향상을 위한 고방열 복합소재 합성/공정 기술</li> <li>○ 금속-붕화비소 (Boron Arsenide) 복합소재 전해도금 및 thermal via 공정 기술</li> <li>○ 신규 금속-붕화비소 고방열/저저항 소재 물성 database 구축</li> </ul>							
<input type="checkbox"/> 개발내용 <ul style="list-style-type: none"> <li>○ 반도체 산업계 수요를 반영한 도전적 탐색형 연구개발 과제를 수행하면서, 투자기업 엔지니어의 멘토링을 받고 일정 자격검증 기준을 통과한 반도체고급인력 양성</li> <li>○ 고방열 붕화비소 (Boron Arsenide)의 형상/크기 조절용 합성법 개발 <ul style="list-style-type: none"> <li>- 구, 막대기 등 등방/비등방 형태를 가지는 붕화 비소 합성법 개발</li> <li>- 붕화비소 크기 조절을 위한 합성법 개발</li> <li>- 형상/모양 조절 가능 대량 합성법 개발</li> </ul> </li> <li>○ 금속-붕화비소 복합 소재 형성용 전해도금 기술 개발 <ul style="list-style-type: none"> <li>- 붕화비소-금속 (구리, 니켈 등) 복합체 전해도금 공정 개발</li> <li>- 붕화비소 농도 조절 용 전해도금 공정 개발</li> <li>- 붕화비소 분산도 향상을 위한 첨가제 개발을 통한 복합체 도금막 균일도 향상법</li> <li>- 개발 소재를 이용한 고중형비 thermal via 전해도금 공정 개발</li> </ul> </li> <li>○ 금속-붕화비소 복합 소재 물성 database 구축 및 물성 최적화 <ul style="list-style-type: none"> <li>- 붕화비소의 모양, 크기 농도에 따른 금속-붕화비소 복합체 열적, 기계적 물성 측정</li> <li>- Thermal cycling을 통한 열안정성 측정</li> <li>- 모양, 크기, 농도 최적화를 통한 복합체 열물성 향상</li> </ul> </li> </ul>							
<b>2. 지원 필요성</b>							
<input type="checkbox"/> 지원 필요성 <ul style="list-style-type: none"> <li>○ (정책적 측면) 반도체 패키징 소재 및 공정은 해외 의존도가 높거나, 혹은 현재 기술력이 해외 대비 낮음에도 불구하고 국내에서 새로운 차세대 소재 및 공정에 대한 연구/개발은 활발하지 않기 때문에, 정부 주도하에 차세대 반도체 패키징 시장의 선점을 위한 연구개발 투자가 필수임</li> </ul>							
<input type="checkbox"/> 활용분야 <ul style="list-style-type: none"> <li>○ 고방열 반도체 소자 개발 기술</li> <li>○ 낮은 열전도율 기관의 방열 특성의 고성능 전력 반도체</li> </ul>							
<b>3. 지원기간/예산/추진체계</b>							

- 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 3차년도 : 각각 12개월)
- 정부지원연구개발비 : '24년 1.5억원 이내(총 정부출연금 4.5억원 이내)
- 주관 및 공동연구개발기관 : 비영리기관(원천기술형)
- 기술료 징수여부 : 비징수
- 특이사항 1
  - 1) 연구개발계획서의 연구목표 및 내용은 총 예산규모(정부출연금+ 민간투자금)로 작성하고, `연구개발비 사용계획`은 정부출연금에 대해서만 작성
  - 2) 민간투자금은 정부출연금과 동일 비율로 지원되며, 과제 선정 이후 총괄기관과 별도 협약 예정 (민간투자금 사용계획은 정부출연금 편성내역과 중복 계상 불가)
  - 3) 민간 투자기업과 수행기관간의 지식재산권 협약을 통해 민간 투자기업에 연구개발의 모든 성과물의 무상통상실시권과 우선매입권한을 허용
- 특이사항 2
  - 1) 동 사업은 반도체 고급인력 양성을 목표로 하고 있으며, 석·박사 인력의 적극적인 참여를 권고함
  - 2) 참여 학생 전원에 대하여 본 사업 총괄과제에서 배출인원 관리
  - 3) 총 사업비 중 인건비 비중 45%이상, 인건비 중 석박사 인건비 비중 60%이상 필수 (민간투자금 연구개발계획서에도 동일 비중 적용, 국제공동R&D의 경우 인건비 중 석박사 인건비 비중 적용 예외 가능)

품목번호	민관공동-품목-12		산업 기술 분류	중분류 I		중분류 II	
품목유형	<input checked="" type="checkbox"/> 원천기술 <input type="checkbox"/> 혁신제품			반도체 소자 및 시스템			
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음						
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차						
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)						
품목명	저온 하이브리드 본딩용 metastable 금속 전해도금 소재/접합 특성 및 설계 기술 연구 (TRL : [시작] 3단계 ~ [종료] 5단계)		품목코드 (HSK10)	류	호	소호	통계부호
				8 3	1 1	1 0	9 0 0 0
<b>1. 개념 및 개발내용</b>							
<input type="checkbox"/> 개념							
<ul style="list-style-type: none"> <li>○ 3D 반도체 패키지 개발을 위해 Cu-Cu 접합과 같은 직접 접합이 필수적인 상황에서 반복적인 접합 공정 후 반도체 소자의 열안정성을 확보하기 위해 저온 접합이 가능한 소재 및 공정 개발과, 신소재 직접 본딩 특성을 반영한 설계 기술 개발 <ul style="list-style-type: none"> <li>- 기존의 Cu-Cu 접합보다 낮은 온도에서 접합이 가능한 metastable상태의 신금속 소재 개발</li> <li>- 실제 반도체 공정에 적용성을 높이기 위해 도금 공정 개발 및 접합 특성 연구</li> <li>- metastable 금속을 이용한 하이브리드 본딩의 특성을 바탕으로 고성능 패키지 소자를 설계</li> </ul> </li> </ul>							
<input type="checkbox"/> 개발내용							
<ul style="list-style-type: none"> <li>○ 반도체 산업계 수요를 반영한 도전적 탐색형 연구개발 과제를 수행하면서, 투자기업 엔지니어의 멘토링을 받고 일정 자격검증 기준을 통과한 반도체고급인력 양성</li> <li>○ Twin Cu/metastable 신금속 소재 탐색 및 전해도금 공정 개발 <ul style="list-style-type: none"> <li>- 저온접합을 위해 열안정성이 떨어지는 동시에 저항이 낮은 신금속소재 개발</li> <li>- Metastable 상태를 가지는 신금속 형성을 위한 전해도금 공정 및 소재 개발</li> </ul> </li> <li>○ Metastable 신금속 소재의 접합 특성 평가 <ul style="list-style-type: none"> <li>- 미세 조직 종류에 따른 Cu-Cu 접합 특성 관찰 및 미세조직 최적화</li> <li>- Metastable 신금속의 접합력 측정 및 계면 특성 평가</li> <li>- 접합력 평가를 통한 저온 접합 공정 최적화</li> </ul> </li> <li>○ 하이브리드 본딩용 배선 설계 및 테스트 기술 개발 <ul style="list-style-type: none"> <li>- 하이브리드 본딩용 배선의 신호/전력 무결성 설계 및 전기적 특성 분석</li> <li>- Time domain reflectometer (TDR) 방법에 기반한 미세 본딩의 불량 진단</li> <li>- 불량 종류에 따른 신호/전력 전달 특성 분석 및 database화</li> <li>- 본딩 array 배치에 따른 전력 전달 특성, IR Drop, 전력 소비 효율 분석 및 array 최적화 설계 방법론 개발</li> </ul> </li> </ul>							
<b>2. 지원 필요성</b>							
<input type="checkbox"/> 지원 필요성							
<ul style="list-style-type: none"> <li>○ (정책적 측면) 반도체 금속 배선 형성을 위한 전해도금 기술은 다른 반도체 연구 분야 대비 상대적으로 연구에 대한 정부 투자가 미비하여, 원천 기술을 개발하고 고급인력을 양성할 국내 연구소 및 대학이 매우 부족함</li> </ul>							

- (기술적 측면) 솔더-범프를 이용한 플립칩 접합 방식은 미세 피치 구현이 힘들 것이라 예측되고 있기 때문에, 차세대 반도체 패키징에는 Cu-Cu 직접 접합을 통해 미세 피치를 구현할 것
- Cu-Cu 직접 접합을 기반으로 한 하이브리드 본딩 기술은 Cu의 미세조직 조절이 저온 접합 기술 확보에 필수적이지만, 현재 Cu 미세 조직 조절 용 전해도금 기술에 대한 연구는 미비한 실정
- 하이브리드 본딩 기술은 초고성능이 필요한 반도체 소자 제작에 필수적으로 미래 반도체 시장에서 큰 비율을 차지할 것으로 예상되므로, 선제적으로 원천 기술에 대한 확보가 필수적

□ 활용분야

- 차세대 반도체 패키징 소자 및 공정기술
- 저전력, 고성능, 초소형 반도체 시스템 구현

**3. 지원기간/예산/추진체계**

- 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 3차년도 : 각각 12개월)
- 정부지원연구개발비 : '24년 1.5억원 이내(총 정부출연금 4.5억원 이내)
- 주관 및 공동연구개발기관 : 비영리기관(원천기술형)
- 기술료 징수여부 : 비징수
- 특이사항 1
  - 1) 연구개발계획서의 연구목표 및 내용은 총 예산규모(정부출연금+ 민간투자금)로 작성하고, `연구개발비 사용계획`은 정부출연금에 대해서만 작성
  - 2) 민간투자금은 정부출연금과 동일 비율로 지원되며, 과제 선정 이후 총괄기관과 별도 협약 예정 (민간투자금 사용계획은 정부출연금 편성내역과 중복 계상 불가)
  - 3) 민간 투자기업과 수행기관간의 지식재산권 협약을 통해 민간 투자기업에 연구개발의 모든 성과물의 무상통상실시권과 우선매입권한을 허여
- 특이사항 2
  - 1) 동 사업은 반도체 고급인력 양성을 목표로 하고 있으며, 석·박사 인력의 적극적인 참여를 권고함
  - 2) 참여 학생 전원에 대하여 본 사업 총괄과제에서 배출인원 관리
  - 3) 총 사업비 중 인건비 비중 45%이상, 인건비 중 석박사 인건비 비중 60%이상 필수 (민간투자금 연구개발계획서에도 동일 비중 적용, 국제공동R&D의 경우 인건비 중 석박사 인건비 비중 적용 예외 가능)

품목번호	민관공동-품목-13		산업 기술 분류	중분류 I		중분류 II	
품목유형	<input checked="" type="checkbox"/> 원천기술 <input type="checkbox"/> 혁신제품			반도체 소자 및 시스템			
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음						
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차						
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)						
품목명	EMI 차폐 및 방열특성 향상을 위한 패키지용 복합 Filler 유전기술개발 (TRL : [시작] 3단계 ~ [종료] 5단계)		품목코드 (HSK10)	류	호	소호	통계부호
				8 3	1 1	1 0	9 0 0 0
<b>1. 개념 및 개발내용</b>							
<input type="checkbox"/> 개념							
<ul style="list-style-type: none"> <li>○ 함침법을 사용한 금속-세라믹체 분말 개발</li> <li>○ 복합 필러의 디자인, 세라믹 메쉬 쉬트와 결합하는 최적의 Filler Core소재 선택, Infiltration을 통한 모재 물성변화 및 PBO/Silicones/Epoxy계등과 바인딩을 통한 복합 기능재료의 특성 연구</li> </ul>							
<input type="checkbox"/> 개발내용							
<ul style="list-style-type: none"> <li>○ 유전체 복합필러 개발 <ul style="list-style-type: none"> <li>- 복합 Filler 역할에 적합한 소재 디자인</li> <li>- 복합 Filler sample 모재 제조 및 평가</li> <li>- Filler 함침 설비 구성 및 공정 기술 개발</li> <li>- Filler powder 분쇄 설비 구성 및 공정 기술 개발</li> <li>- 최적 복합 Filler 적용 EMI 차폐 sample 페이스트 제조 및 평가</li> <li>- 다공성 세라믹 기반 복합 필러 소재 개발</li> <li>- 복합 Filler 소재 표면 개질 및 특성평가</li> <li>- Filler content 조절에 의한 페이스트 및 성능 최적화</li> <li>- Filler powder 상업화를 위한 최적 혼합 비율 Simulation</li> <li>- Filler powder 혼합 설비 구축 및 공정 개발</li> <li>- 고 방열 EMI 차폐 기능성 Filler의 제조 및 특성평가</li> </ul> </li> <li>○ 자성체 개발 <ul style="list-style-type: none"> <li>- 폴리올 공정 변수에 따른 초미세 나노입자의 합금 조성 제어</li> <li>- 폴리올 공정 변수 조절에 따른 나노입자의 크기 제어</li> <li>- 폴리올 공정 변수에 따른 입자의 성장 메카니즘 연구</li> <li>- 합성된 초미세 자성입자의 산화도 조절</li> <li>- 초미세 자성입자의 자기적 물성평가</li> <li>- 폴리올 공정을 통해 합성된 입자의 표면 분석</li> <li>- 초 미세 자성입자의 표면구조 제어</li> <li>- 초 미세 자성 입자의 절연성 확보를 위한 나노 절연층 형성 기술개발</li> <li>- 코어셸 구조의 절연층 물질의 종류 및 두께 제어 기술</li> <li>- 코어셸 구조의 절연층 물질의 종류 및 두께에 따른 자기적 물성 변화 조사</li> <li>- 절연 코팅된 코어셸 구조의 자성입자와 고분자 레진과의 복합화, 분산성 개선</li> <li>- 복합 소재의 전자파 흡수성능 평가</li> <li>- 폴리올 공정의 변수 제어를 통한 scale up 기술 확보</li> </ul> </li> <li>○ 100~1000nm급 입자크기를 갖는 연자성 금속 입자(soft magnetic metal particles) 합성기술 개발</li> </ul>							

- 연자성 금속 입자의 표면 전기적 절연을 위한 Core-shell 구조의 nano layer 형성 기술
- 기존 Polymer base가 아닌 Advanced PKG향 고방열 신소재 기술 연구

## 2. 지원 필요성

### □ 지원 필요성

- **(정책적 측면)** 이종접합 반도체들의 특수성으로 인하여 이종접합 Chiplet등의 SIP가 필수적이며, 첨단 패키징으로 확대할 경우에 관련 소재들의 개발 병행 필수
  - 고주파수 영역을 갖는 반도체들이 이종접합 패키지로 구현될 경우 반드시 발생하는 노이즈, EMI, 열에 대한 Solution의 원천개발의 차원에서 중요성이 증가되고 있음
- **(기술적 측면)** 이종접합 반도체 시대에는 1개의 패키지 내부에 있는 수많은 반도체들의 EMI 흡수문제, Signal/Power 노이즈 제거문제등이 큰 문제로 나타나고 있으며, 이를 해결하기 위하여 새로운 인터포저, 새로운 EMC, 새로운 접합 기술 요구 증가
  - 신호무결성 연구개발을 위하여 검증이 용이한 고주파, 고대역의 필수인 안테나를 패키지에 삽입하여, Form Factor를 최소화한 첨단패키지에 새로운 유전소재, 구조체, EMI 흡수, 그리고 ESD 효과를 동시에 가지는 기능성 단일 재료를 개발하면, 기존의 패키지 소재인 몰딩과 인캡, 언더필, 필름, 충전재등에 100% 사용되는 실리카를 대체하여 차세대 반도체에서 요구하는 조건들을 소재에 적합
- **(시장적 측면)** Apple사에서부터 시작된 FEM단의 EMI차폐기술들은 Sputter, Nano 전도 Ink 및 Spray와 Aerogel 기술개발, Cu/CNI CCL개발 등으로 진화되어 개발 중
  - 이종접합 반도체 시대에서의 첨단 SIP패키지에는 다양한 반도체들이 1개의 패키지에 내에 구성이 되며, 특히 최근 Intel등에서는 47개의 Chiplet들이 들어간 SIP를 선보였는데, 완벽한 전송신호 전달 기술 해결 방법 모색이 난제로 남아있음

### □ 활용분야

- 이종접합 반도체 및 이종접합 반도체용 패키지의 소재
- High Speed Transmission을 갖는 인터포저의 몰딩 소재

## 3. 지원기간/예산/추진체계

- 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 3차년도 : 각각 12개월)
- 정부지원연구개발비 : '24년 1.5억원 이내(총 정부출연금 4.5억원 이내)
- 주관 및 공동연구개발기관 : 비영리기관(원천기술형)
- 기술료 징수여부 : 비징수
- 특이사항 1
  - 1) 연구개발계획서의 연구목표 및 내용은 총 예산규모(정부출연금+ 민간투자금)로 작성하고, `연구개발비 사용계획`은 정부출연금에 대해서만 작성
  - 2) 민간투자금은 정부출연금과 동일 비율로 지원되며, 과제 선정 이후 총괄기관과 별도 협약 예정 (민간투자금 사용계획은 정부출연금 편성내역과 중복 계상 불가)
  - 3) 민간 투자기업과 수행기관간의 지식재산권 협약을 통해 민간 투자기업에 연구개발의 모든 성과물의 무상통상실시권과 우선매입권한을 허용
- 특이사항 2
  - 1) 동 사업은 반도체 고급인력 양성을 목표로 하고 있으며, 석·박사 인력의 적극적인 참여를 권고함
  - 2) 참여 학생 전원에 대하여 본 사업 총괄과제에서 배출인원 관리
  - 3) 총 사업비 중 인건비 비중 45%이상, 인건비 중 석박사 인건비 비중 60%이상 필수 (민간투자금 연구개발계획서에도 동일 비중 적용, 국제공동R&D의 경우 인건비 중 석박사 인건비 비중 적용 예외 가능)

